

SYNTHESE- UND EINSATZMÖGLICHKEITEN ASYNCHRONER, DYNAMISCHER LOGIKEN ZUR VERLUSTLEISTUNGSREDUZIERUNG

F. Grassert, A. Wassatsch, D. Timmermann

Universität Rostock
Fachbereich Elektrotechnik und Informationstechnik
Institut für Angewandte Mikroelektronik und Datentechnik
Richard-Wagner-Str. 31
18119 Warnemünde
Deutschland

ZUSAMMENFASSUNG:

Die Anforderungen an anwenderspezifische Schaltkreise bezüglich der Leistungsfähigkeit und der Geschwindigkeit wachsen beständig. Höhere Performance kann auf der Transistorebene durch leistungsfähigere Schaltungstechniken erzielt werden. Dynamische Schaltungstechniken wie z.B. die True Single Phase Clock (TSPC) Logik können für Anwendungen mit höchsten Datenraten oder niedrigsten Latenzzeiten eingesetzt werden.

Wir zeigen ausgehend von Simulationen eines DES-Chips mit TSPC-Logik und einer maximalen Taktrate von 200 MHz das Potential solcher Logiken gegenüber Standard CMOS sowie die damit verbundene aufwendigere Synthese und höhere Verlustleistung.

Weiterhin zeigen wir durch Simulationen von Multiplizierern, dass die Integration asynchroner Schaltungsansätze in TSPC eine Reduzierung der Verlustleistung ermöglicht, jedoch spezielle Syntheseschritte erfordert. Durch die vorgestellte Verwendung asynchroner Ketten in Einphasentaktsystemen kann der Syntheseaufwand stark verringert werden und damit Höchstgeschwindigkeit mit niedriger Verlustleistung einhergehen.

1. EINLEITUNG

Um die hohen Anforderungen an anwenderspezifische Schaltkreise bezüglich der Leistungsfähigkeit und der Geschwindigkeit erfüllen zu können, werden schnelle und leistungsfähige

hige Schaltungstechniken benötigt. Für Anwendungen mit höchsten Datenraten oder niedrigsten Latenzzeiten sind dynamische Schaltungstechniken geeignet [1]. Das dynamische Prinzip erlaubt kürzeste Berechnungszeiten aufgrund der ausschließlichen Verwendung von N-Transistoren für die Realisierung der logischen Funktion und bietet zusätzlich die Möglichkeit, den Platzbedarf zu reduzieren. Im folgenden geben wir zunächst einige Grundlagen der dynamischen Schaltungstechniken. Als Anwendungsbeispiel dient ein Triple-DES-Prozessor, dessen DES-Pipeline mit der True-Single-Phase-Clock (TSPC) Logik realisiert wurde. Ausgehend von den Eigenschaften des Prozessors zeigen wir die Möglichkeit, dynamische Logiken mit asynchronen Ideen zu verknüpfen. Unsere Ergebnisse sind Simulationen von Multiplizierern, mit denen der Einsatzbereich und die Leistungsfähigkeit solcher Schaltungen gezeigt werden kann.

2. DYNAMISCHE SCHALTUNGSTECHNIKEN

Die Abbildung 1 zeigt den Aufbau einer dynamischen Schaltung im Vergleich zur Standard-CMOS-Schaltungstechnik (SCMOS). Für die Realisierung der logischen Funktion wird im Gegensatz zur statischen CMOS Technik, bei der die Funktion durch N-Transistoren und durch komplementär verschaltete P-Transistoren aufgebaut wird, nur ein Netzwerk aus N-Transistoren benötigt, wodurch sich ein Geschwindigkeitsvorteil ergibt. Allerdings arbeiten dynamische Logiken grundsätzlich in zwei Phasen und erfordern somit ein Taktsignal. In der ersten Phase (Ladephase) wird der Ausgang auf einen vordefinierten Wert geladen. In der zweiten Phase (Berechnungsphase) erfolgt die Berechnung, wobei der Ausgangsknoten je nach Eingangszustand durch das Netzwerk in den alternativen Zustand umgeladen wird. Hauptnachteil dieser Struktur ist, dass der Ausgang nicht direkt als Eingang folgender dynamischer Stufen genutzt werden kann.

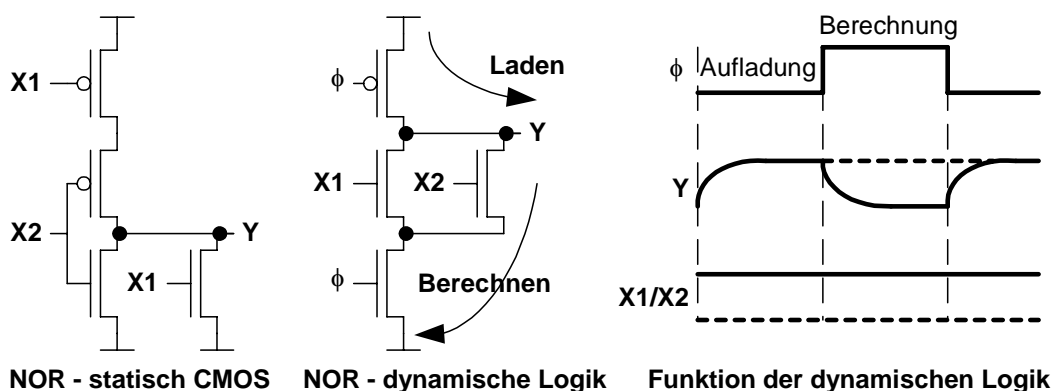


ABBILDUNG 1: NOR GATTER IN STANDARD-CMOS UND DYNAMISCHER LOGIK; FUNKTIONSWEISE DER DYNAMISCHEN LOGIK

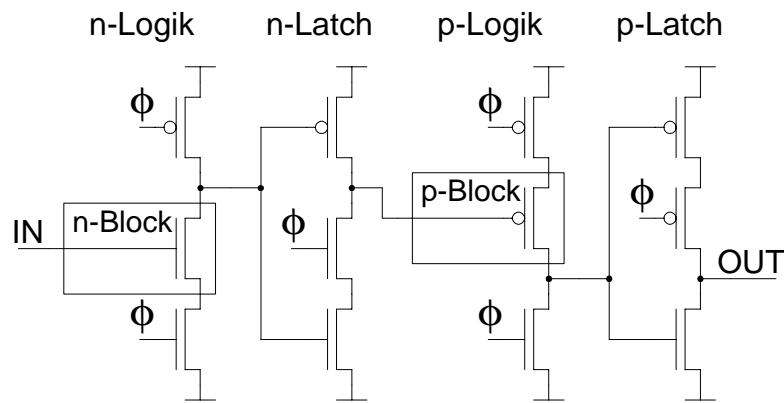


ABBILDUNG 2: STRUCTURE OF TRUE SINGLE PHASE CLOCK LOGIC (TSPC)

Die Abbildung 2 zeigt eine True-Single-Phase-Clock (TSPC) Logik [2]. Hierbei werden dynamische N-Logiken mit N-Latches und dynamische P-Logiken mit P-Latches aneinander gereiht. Vorteil einer solchen Verschaltung ist, dass jeder Block aufgrund der zwei implementierten Latches eine Registerfunktion realisiert. Solche Register mit integrierter logischer Funktion können auch als Pipelinestufen angesehen werden, wodurch extreme Pipelines mit höchsten Durchsatzraten ein ideales Einsatzgebiet darstellen.

Werden bei dynamischen Schaltungstechniken z.B. durch getrennte Logiken komplementäre Ausgangssignale generiert, so besteht die Möglichkeit, Ready- oder Self-timed-Signale zu erzeugen, die an Stelle des Taktsignals verwendet werden können. Mit Hilfe dieser Eigenschaft können asynchrone Strukturen einfach aufgebaut werden, wobei der Stromverbrauch aufgrund der reduzierten Taktbelastung sinkt.

3. DES-PROZESSOR MIT DYNAMISCHER TSPC LOGIK

Die beschriebene TSPC Logik wurde für Simulationen eines DES-Prozessors verwendet [3]. Abbildung 3 zeigt ein grobes Blockschaltbild. Den Kern des Prozessors bildet eine DES-Pipeline in TSPC Logik nach deren Durchlauf eine vollständige Ver- oder Entschlüsselung der Daten erfolgt ist. Die Taktrate der TSPC Logik kann vier mal höher als die der statischen CMOS-Logik gewählt werden, weshalb es möglich ist, eine Triple-DES Verschlüsselung der eintreffenden Daten durch dreifachen Durchlauf der Pipeline vorzunehmen, ohne den ankommenden Datenfluss der SCMOS Logik zu behindern. In unseren Simulationen konnten Taktraten von maximal 800MHz für die TSPC Logik und 200MHz für die statische CMOS-Logik erreicht werden. Ein Nachteil der TSPC Logik ist eine sehr hohe Taktbelastung, da jedes logische Gatter mit dem Takt betrieben werden muss, woraus ein sehr hoher Stromverbrauch im Takt resultiert. Diese Probleme müssen beim Layout der Taktleitungen Beach-

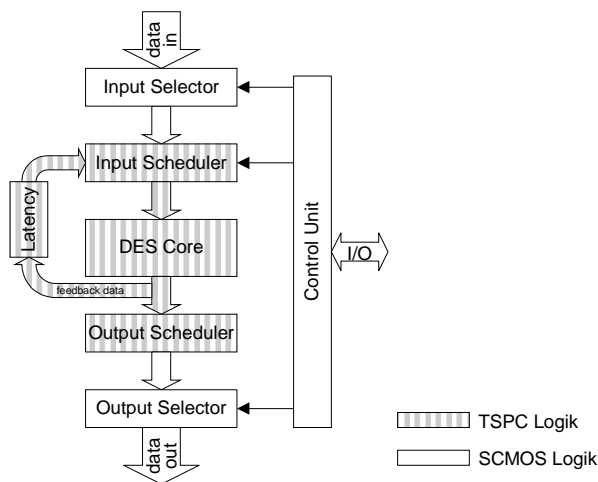


ABBILDUNG 3: STRUKTUR DES DES-PROZESSORS

tung finden. Das folgende Kapitel zeigt, dass asynchrone Verschaltungen geeignet sind, um den Takt zu entlasten und den Stromverbrauch zu reduzieren.

4. ASYNCHRONE VERSCHALTUNG DYNAMISCHER LOGIKEN IM EINPHASEN-TAKT

Bei dynamische Schaltungstechniken mit getrennt erzeugten, komplementären Ausgängen ist eine asynchrone Verschaltung möglich. Durch einen Wechsel zwischen der Ladephase, in der beide Ausgänge auf denselben, vordefinierten Zustand geladen werden, und der Berechnungsphase, in der die Ausgänge nach Beendigung der Berechnung komplementär zueinander sind, können Self-timed-Signale erzeugt werden. Ist die Berechnung einer Stufe abgeschlossen, so kann ein generiertes Ready-Signal die vorhergehende Stufe in die Ladephase setzen, da die Eingänge nicht mehr benötigt werden. Es ist ebenfalls möglich, eine nachfolgende Stufe in die Berechnungsphase zu setzen, wenn die Eingangsdaten bereits oder in naher Zukunft anliegen. Allerdings kann sich bei dieser Variante die Berechnungszeit verzögern, wenn die Taktsignale nicht rechtzeitig eintreffen. Der allgemeine Vorteil derartiger asynchroner Verknüpfungen ist, dass eine minimale Berechnungszeit dieser Kette erreicht werden kann, wie z.B. von Williams und Horowitz in [4] dargelegt ist.

Abbildung 4 zeigt eine asynchrone Verschaltung und ein Zeitdiagramm, von dem die Funktionsbedingungen abgeleitet werden können. Es ist die minimal erforderliche Zykluszeit bestehend aus Berechnungs- und der Ladephase für die erste Stufe dargestellt.

Der Nachteil solcher asynchronen Ketten ist, dass für ein leichteres Design eine Eintaktung

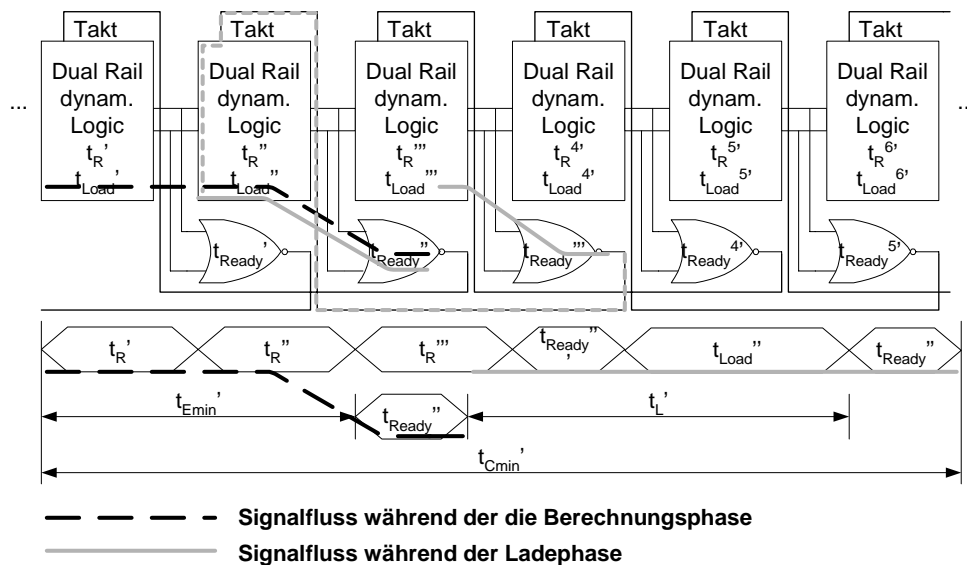


ABBILDUNG 4: ASYNCHRONE VERSCHALTUNG DYNAMISCHER LOGIKEN UND ZEITDIAGRAMM FÜR DEN ABLAUF EINER BERECHNUNGS- UND LADEPHASE FÜR DIE ERSTE LOGIKSTUFE

in ein bestehendes synchrones System erfolgen muss. Eine solche Integration wurde von uns in [5] vorgestellt (Asynchronous Chain (AC)- TSPC). Dabei wird jeweils die erste Stufe einer Kette von asynchron verknüpften Stufen mit dem globalen Takt betrieben, die letzte Stufe wird durch die Rückführung eines Ready-Signals aus der nachfolgenden Kette getaktet. Allerdings müssen beim Aufbau zusätzliche zeitliche Parameter eingehalten werden, um die Funktion zu sichern.

5. VERLUSTLEISTUNG

Die Stromaufnahme einer Schaltung wird in zwei wesentliche Bereiche geteilt, den Leistungsverbrauch aufgrund von Signalwechseln interner Knoten der Logik und den Verbrauch durch den Takt. Da mit jedem Pegelwechsel des Taktes eine sehr große Kapazität umgeladen wird, hat dieser einen sehr großen Einfluss auf den Gesamtverbrauch der Schaltung. Der Verbrauch durch die Gatter unterscheidet sich bei Standard-CMOS und dynamischer Logik oft erheblich. Während statische CMOS-Logik bei einem Pegelwechsel Strom aufnimmt, verbraucht ein dynamisches Gatter prinzipiell in einem von zwei Ausgangszuständen Strom, da dann in beiden Phasen eines Taktzyklus eine Umladung stattfindet.

Eine asynchrone Verschaltung aufeinanderfolgender Stufen entlastet den globalen Takt stark. Durch diese Entlastung vereinfacht sich die Verteilung des Taktes und der nötige Aufwand zur Signalverstärkung wird reduziert. Dieser Vorteil macht sich jedoch nur im Vergleich mit anderen dynamischen Schaltungstechniken bemerkbar, nicht jedoch gegenüber der

Standard-CMOS-Technik, da sich dort Logikblöcke mit Registern abwechseln und jeweils nur die Register den Takt belasten.

Der Verbrauch durch die Gatter wird durch die asynchrone Verschaltung nicht stark verändert, weshalb dieser Wert in den meisten Fällen größer als bei der Standard-CMOS-Logik ist.

Für einen fairen Vergleich des Leistungsverbrauchs zweier unterschiedlicher Schaltungstechniken muss die Geschwindigkeit mit der Stromaufnahme in Relation gesetzt werden. Dazu wird das Power-Delay-Produkt verwendet, wobei die Abarbeitungsgeschwindigkeit eines Befehls oder einer Schaltung mit der in dieser Zeit verbrauchten Leistung multipliziert wird.

6. ERGEBNISSE

Für einen Vergleich von statischer CMOS Schaltungstechnik, TSPC und asynchron verknüpfter dynamischer Logik wurde ein Wallace-Tree-Multiplizierer simuliert. Es wurden sowohl Varianten als Pipeline (N-Stufen) aufgebaut, wie auch Varianten, bei denen 5 Pipeline-stufen in einen Takt integriert wurden. Die Ergebnisse sind in Tabelle 1 dargestellt. Sowohl der Verbrauch der TSPC Logik ist am größten, wie auch der Durchsatz. Eine asynchrone Verschaltung (AC-TSPC) reduziert den Verbrauch bei niedriger Latenzzeit und hohem Durchsatz, wodurch das Power-Delay-Produkt der AC-TSPC Logik besser als das der SCMOS Logik wird und somit das hohe Potential solcher Verschaltungen zeigt.

	SCMOS N Stufen	TSPC N Stufen	SCMOS N/5 Stufen	AC-TSPC N/5 Stufen
Verbrauch	1	4	0,8	0,8
Min. Taktzyklus	1	0,4	2,1	1,5
Min. Latenzzeit	1	0,4	0,4	0,3
Power-Delay-Produkt	1	1,6	0,3	0,2

TABELLE 1: VERGLEICH VON STANDARD-CMOS, TSPC UND ASYNCHRONER DYNAMISCHER LOGIK ANHAND DER RELATIVEN ERGEBNISSE EINER SIMULIERTEN MULTIPLIZIERERSTUFE

7. LITERATURANGABE

- [1] P. E. Gronowski, W. J. Bowhill, R. P. Preston, M. K. Gowan, R. L. Allmon, High-performance microprocessor design. Journal of Solid State Circuits, Vol. 33, No. 5, pp. 676-686, May 1998
- [2] J. Yuan, I. Karlsson, C. Svensson, A True Single Phase Clock Dynamic CMOS Circuit Technique. IEEE Journal of Solid-State Circuits, Vol. SC-22, 1987, pp. 899-901
- [3] S. Flügel, F. Grassert, M. Grothmann, M. Haase, P. Nimsch, H. Ploog, D. Timmermann, A. Wassatsch, A Design Flow for 12.8 GBit/s Triple DES using Dynamic Logic and Standard Synthesis Tools. SNUG Europe, S. E3.2. 1-8, März 2001
- [4] T. E. Williams, M. A. Horowitz, A Zero-Overhead Self-Timed 160-ns 54-b CMOS Divider. IEEE Journal of Solid-State Circuits, Vol. 26, No. 11, November 1991
- [5] F. Grassert, D. Timmermann, Dynamic Single Phase Logic with Self-timed Stages for Power Reduction in Pipeline Circuit Designs. ISCAS 2001