

Reduzierung des Leckstromverbrauchs mit gemischten Gattern in Deep Submicron Technologien

Frank Sill
Institut MD, IEF
Universität Rostock

Claas Cornelius
Institut MD, IEF
Universität Rostock

Dirk Timmermann
Institut MD, IEF
Universität Rostock

{frank.sill; claas.cornelius; dirk.timmermann}@uni-rostock.de

Kurzreferat

In der vorliegenden Arbeit wird der Mixed Gates (MG) Ansatz zur Reduzierung des Leckstromverbrauchs in aktuellen und zukünftigen Technologien vorgestellt. Der Ansatz stellt eine Erweiterung der verbreiteten Dual Threshold CMOS (DTCMOS) und Dual T_{ox} (DTCMOS) Techniken dar und basiert auf gemischten Gattern mit unterschiedlichen Transistortypen. Zusätzlich wird ein erweiterter Algorithmus zur Zuweisung des Gattertyps vorgestellt. Der Leckstrom der Schaltungen kann durch die Verwendung des MG - Ansatzes und des erweiterten Algorithmus im Vergleich zu bekannten Techniken bei konstanter Berechnungszeit zusätzlich um bis zu 32 % reduziert werden. Damit erhöht sich die gesamte Reduzierung des Leckstroms auf bis zu 72 %.

1. Einleitung

Der Energieverbrauch integrierter Schaltungen ist ein Hauptproblem in der aktuellen Forschung. Einerseits verlangt der Anwender eine hohe Mobilität und lange Laufzeiten der Geräte. Andererseits stellen die Applikationen hohe Performance-Ansprüche. Dies erfordert ein aggressives Skalieren der Technologieparameter, so wie es in den letzten Jahren erfolgt ist. Dies hat zur Folge, dass die kapazitive Belastung innerhalb der logischen Strukturen reduziert werden kann. Zusätzlich wurde die Betriebsspannung reduziert. Beides führte zu einer erheblichen Verringerung des Energieverbrauchs im aktiven Zustand der Schaltung, auch als dynamischer Energieverbrauch bezeichnet. Ein ungewollter Nebeneffekt der Verkleinerung der Technologiestrukturen ist die zunehmende Einflussnahme der so genannten Leckströme. Hierbei handelt es sich um den Stromfluss durch die Transistoren, wenn diese sich im nicht leitenden Zustand befinden. Deren Einfluss wird in den nächsten Jahren auf bis zu 50 % des Gesamtleistungsverbrauchs einer Schaltung ansteigen [1].

Ein sehr verbreiteter Ansatz zur Reduzierung der Leckströme ist die Ausnutzung der Zustände in denen die Schaltung keine Berechnungen vornehmen muss. So wird beispielsweise bei der *Sleep*-Transistor Technik die Spannungsversorgung von der Schaltung mit Hilfe von Transistoren getrennt, wenn sich diese in einem Ruhezustand befindet [2][3]. Eine weitere Technik, die auf die Ausnutzung des Ruhemodus abzielt, ist das Anlegen spezieller Eingangsvektoren an die Schaltung [4]. Bei dieser *Minimum Leakage Vector* (MLV) Technik wird die Tatsache ausgenutzt, dass der Leckstrom eines logischen Gatters vom Eingangsvektor abhängt.

Ein weiterer Ansatz ist die Verwendung der Abhängigkeit der Berechnungsgeschwindigkeit und des Energieverbrauchs einer Schaltung von der Versorgungsspannung. So wird bei der *Dynamic Voltage Scaling* (DVS) Technik zur Reduzierung des Energieverbrauchs die Betriebsspannung reduziert, wenn die Berechnung länger dauern darf [5].

Eine andere Herangehensweise an die Leckstromproblematik ist die Verwendung von Elementen, die sich in Berechnungszeit und Leckstrom unterscheiden. So kann durch eine erhöhte Schwellspannung V_{th} und eine dickere Oxidschicht T_{ox} der Leckstrom verringert werden, jedoch bei gleichzeitiger Verlängerung der Berechnungszeit. Die Idee dieser *Dual-Threshold* CMOS (DTCMOS) [6] und *Dual Tox* CMOS (DTCMOS) [7] Ansätze besteht darin, in den nicht kritischen Pfaden einer Schaltung, die langsameren Elemente einzusetzen. Somit bleibt die Berechnungszeit der Schaltung konstant, während der Leckstrom reduziert werden kann. Ein Hauptproblem der bekannten Techniken ist, dass der Leckstrom nur im Ruhemodus einer Schaltung reduziert werden kann, oder dass nur eine Komponente des Leckstroms verringert wird. Weiterhin sind Ansätze auf Transistorebene sehr rechenaufwendig, während Ansätze auf Gatterebene wenige Freiheitsgrade bei der Reduzierung des Leckstroms zulassen. Um den neuen Ansatz vorzustellen, erfolgt im 2. Abschnitt eine Einführung in das Verhalten von CMOS Schaltungen. In den Abschnitten 3 und 4 wird der *Mixed Gates* Ansatz sowie ein dazugehöriger Algorithmus präsentiert. Abschnitt 5 behandelt die Simulations-Ergebnisse von Benchmarkschaltungen.

2. Grundlagen

2.1 Berechnungszeit in CMOS Schaltungen

Die Berechnungszeit t_d eines CMOS Gatters kann mit folgender Formel approximiert werden:

$$t_d \propto \frac{C_{Last} V_{DD}}{\mu(\epsilon_{ox} / T_{ox}) \cdot (W_{eff} / L_{eff}) (V_{DD} - V_{th})^\alpha} \quad (1)$$

Hierbei bezeichnet C_{Last} die Lastkapazität am Ausgang des Gatters, μ ist die Ladungsträgermobilität, ϵ_{ox} ist die Dielektrizitätskonstante des Gateoxids, L_{eff} ist die effektive Länge des Gates, α ist der *velocity saturation index* [8], T_{ox} ist die Dicke der Oxidschicht, V_{th} ist die Schwellspannung, V_{DD} ist die Betriebsspannung und W_{eff} ist die Gatebreite. Die beiden letzten Parameter stellen keine Technologieparameter dar, und können durch den Entwickler variiert werden. Des Weiteren kann die Schwellspannung mit folgender Formel berechnet werden [9]:

$$V_{th} = V_{th0} + \gamma' \cdot \sqrt{NDEP} \cdot T_{ox} V_{bs} - \eta' \frac{T_{ox}}{L_{eff}^2 \cdot \sqrt{NDEP}} V_{ds} \quad (2)$$

$$\eta' \approx \frac{(E_{TA0} + E_{TAB} \cdot V_{bs}) \epsilon_{Si}^{3/2}}{D_{SUB}^2 \cdot \epsilon_{ox} \sqrt{q}}, \gamma' = \frac{\sqrt{2q\epsilon_{Si}}}{\epsilon_{ox}}$$

V_{bs} ist die Spannung zwischen Bulk und Source, V_{ds} ist die Spannung zwischen Drain und Source, V_{gs} ist die Spannung zwischen Gate und Source und V_{th0} ist die Schwellspannung bei $V_{bs}=0$ und langem Kanal. Weiterhin bezeichnet $NDEP$ die Dotierung des Kanals, D_{SUB} und E_{TA0} sind technologieabhängige Koeffizienten des *drain induced barrier lowering* (DIBL) Effekts und E_{TAB} ist ein *body-bias* Koeffizient. Die Parameter q und ϵ_{Si} beziehen sich auf physikalische Konstanten (Elektronenladung, Dielektrizitätskonstante von Silizium). Untersuchungen konnten belegen, dass die Technologieparameter $NDEP$, T_{ox} und L_{eff} den größten Einfluss auf die Schwellspannung haben [10][11].

2.2 Leckströme in Deep Submicron Designs

Bei Technologien mit Gatterlängen unter 100 nm spricht man von *Deep Submicron Technologies*. In diesen Technologien treten Effekte in den Vordergrund, die bisher vernachlässigt werden konnten. Dazu gehört auch der Anstieg der verschiedenen Leckströme. Diese werden in aktuellen Technologien vom *subthreshold leakage current* I_{sub} und dem *gateoxide-leakage current* I_{gate} dominiert. Der Strom I_{sub} tritt auf, wenn sich der Transistor im gesperrten Zustand befindet, und kann mit folgender Formel approximiert werden [9]:

$$I_{sub} = I_0' \frac{\sqrt{NDEP}}{L_{eff}} \cdot e^{\left(\frac{1}{n\beta}(V_{gs} - V_{th}\right)} \cdot (1 - e^{(-\beta V_{ds})}) \quad (3)$$

$$\beta = \frac{kT}{q}, I_0' = \mu \cdot W_{eff} \cdot \sqrt{\frac{q\epsilon_{Si}}{2\Phi_S}} \cdot \beta^2$$

Hierbei ist T die Temperatur und n ist der *subthreshold swing coefficient*. Weiterhin gibt Φ_S das Potential auf der Oberfläche des Kanals an und k bezeichnet die Boltzmann Konstante. Den größten Einfluss auf I_{sub} haben wiederum die Technologieparameter $NDEP$, T_{ox} und L_{eff} [10][11].

Der Leckstrom I_{gate} bezeichnet den Stromfluss durch die Gateoxidschicht, deren Dicke in aktuellen Technologien unter 2 nm liegt. Dadurch steigt die Wahrscheinlichkeit, dass Ladungsträger direkt durch das Gateoxid getunnelt werden. Es erfolgt eine Unterteilung in den *direct tunneling* (DT) Strom in der Gate-Kanal Region und den *edge direct tunneling* (EDT) Strom in den Überschneidung von Gate und Drain sowie Gate und Source. Die Stromdichte des *direct tunneling* Stroms, welcher dominiert, kann approximiert werden als [9]:

$$J_{DT} = A \cdot (1 + B \cdot T_{ox}) \cdot e^{(C \cdot T_{ox})} \quad (4)$$

$$A = \frac{4\pi q m_x}{\hbar^3} (kT)^2, B = \frac{4\pi \cdot \sqrt{2M_{ox}} \cdot kT}{2\sqrt{E_B} \cdot \hbar}, C = \frac{E_{F0,Si/SiO_2} \cdot 4\pi \cdot \sqrt{2M_{ox}} \sqrt{E_B}}{kT \cdot \hbar}$$

Dabei gibt $E_{F0,Si/SiO_2}$ das Fermi-Niveau an der Si/SiO₂-Schicht an, E_B ist die so genannte *barrier height*, \hbar ist die Planksche Konstante, m_x ist 0.19 M_{ox} für das Tunneln von Elektronen und 0.55 M_{ox} für das Tunneln von Löchern und M_{ox} ist die effektive Elektronen bzw. Löcher Masse im Oxid. Im Gegensatz zum *subthreshold current* wird der *gateoxide-leakage current* nur vom Technologieparameter T_{ox} bestimmt [10].

2.3 Bestimmung der Technologieparameter

Um optimale Technologieparameter für einen schnellen Transistortyp und einen Transistortyp mit geringem Leckstrom zu erhalten, wurden die Parameter $NDEP$, T_{ox} und L_{eff} variiert. Als Basis wurden prädiktive Modelle einer 65 nm Technologie (BPTM [12]) verwendet. Dabei wurde untersucht, welchen Einfluss die Änderung der Parameter auf den Leckstrom, die Berechnungszeit und die Eingangskapazität eines Gatters haben. In Abbildung 1 sind die Ergebnisse, repräsentativ für alle Resultate, für ein NAND2-Gatter und ein Inverter-Gatter dargestellt. Eine Variation der Gatelänge L_{eff} wird nicht empfohlen, da diese einen großen Einfluss auf die Eingangskapazität hat. Dies würde bei einer Reduzierung des Leckstromes zu einer unerwünschten Erhöhung des dynamischen Energieverbrauchs führen. Für die Realisierung

von Transistoren mit einer geringen Berechnungszeit erwies sich eine Dotierung *NDEP*, die 30 % unter dem Standardwert liegt, und die Oxidschichtdicke T_{ox} des Standardwertes als optimal. Für Transistoren mit einem geringen *subthreshold leakage current* und einem geringen *gateoxide-leakage current* erwies sich eine Erhöhung von *NDEP* und T_{ox} um jeweils 10 % bezüglich des Standardwertes als beste Lösung. Diese Transistoren verfügen somit über eine höhere Schwellspannung und dickere Oxidschicht und werden im Folgenden als HVTO (*high V_{th} , high T_{ox}*) Transistoren bezeichnet. Im Gegensatz dazu werden die schnellen Transistoren als LVTO (*low V_{th} , low T_{ox}*) Transistoren bezeichnet.

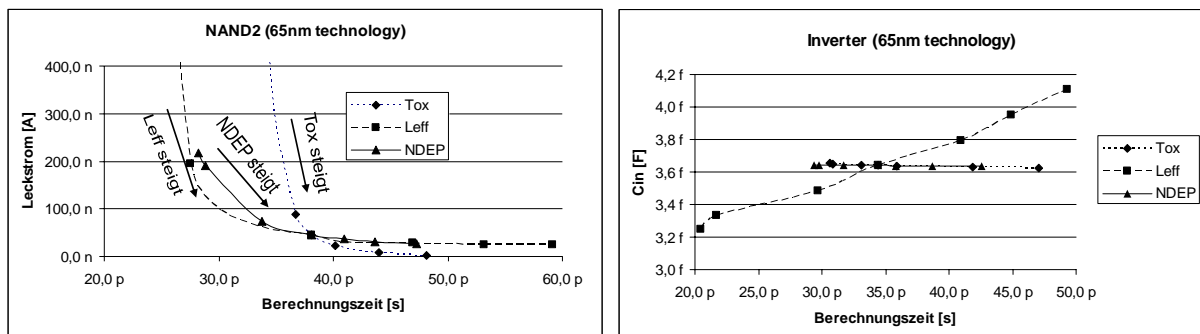


Abbildung 1 Einfluss von T_{ox} , L_{eff} und *NDEP* auf den Leckstrom, die Eingangskapazität C_{in} und die Berechnungszeit an einem NAND2- und einem Inverter Gatter

3. Der Mixed Gates (MG) Ansatz

Ein Hauptproblem der DTCMOS und DTOCMOS Ansätze besteht darin, dass sie entweder nur auf Gatter- oder nur auf Transistorebene realisiert sind. So werden bei Ansätzen auf der Gatterebene nur Gatter verwendet, die jeweils aus einem einzigen Transistortyp bestehen. Dies schränkt die Freiheitsgrade bei der Optimierung erheblich ein. Wird hingegen ein Ansatz auf Transistorebene verwendet, ist ein immenser Anstieg des Rechenaufwands zu verzeichnen. Die Idee des *Mixed-Gates* (MG) Ansatzes besteht darin, die Vorteile der Ansätze auf Gatter- und Transistorebene durch die Kombination der Ideen von DTCMOS und DTOCMOS zu vereinen. Die MG-Gatter bestehen aus zwei verschiedenen Transistortypen. Dies ermöglicht die Realisierung von Gattertypen, die sich in Berechnungszeit und Leckstrom unterscheiden. Die Beschränkung auf die zwei Gattertypen HVT (*high V_{th}*) und LVT (*low V_{th}*), bzw. HTo (*high T_{ox}*) und LTo (*low T_{ox}*) entfällt. Daraus folgt, dass für die Verbesserung der Schaltung mehr Freiheitsgrade zur Verfügung stehen, als bei einem herkömmlichen DTCMOS oder DTOCMOS Ansatz auf Gatterebene. Gleichzeitig bleibt der Aufwand zur Reduzierung des Leckstroms geringer als bei einem Ansatz auf Transistorebene. Die verwendeten Transistoren unterscheiden sich sowohl in ihrer Schwellspannung V_{th} als auch in der Dicke der Oxidschicht T_{ox} . Daher können gleichzeitig der *subthreshold leakage current* als auch der *gateoxide leakage current* reduziert werden.

Es existieren beim MG-Ansatz drei verschiedene Gattertypen. Die HVTO-Gatter sind die langsamsten Gatter mit dem geringsten Leckstromverbrauch. Sie bestehen vollständig aus HVTO Transistoren mit hohem V_{th} und hohem T_{ox} (siehe Abbildung 2a). Die zweite Gruppe bilden die MVTO-Gatter, in denen vereinzelt LVTO Transistoren mit niedrigem V_{th} und niedrigem T_{ox} verwendet werden (siehe Abbildung 2b). Dadurch kann die Berechnungszeit für die ungünstigste Kombination der Eingänge, dem so genannten *worst case*, verringert werden. Es ist zu beachten, dass bei der späteren Optimierung üblicherweise nur der *worst case* betrachtet wird. Die dritte und letzte Gruppe bilden die MLVTO-Gatter. Diese haben die gleiche Berechnungszeit, wie Gatter, die nur aus LVTO Transistoren bestehen, aber einen geringeren

Leckstromverbrauch. In den MLVTO-Gattern besteht der Transistorpfad, der im *worst case* die Berechnungszeit des Gatters bestimmt, komplett aus LVTO Transistoren. Die restlichen Pfade bestehen aus HVTO-Transistoren. So ist in Abbildung 2c) zu erkennen, dass die beiden in Reihe geschalteten PMOS-Transistoren, welche im *worst case* die Berechnungszeit bestimmen, vom LVTO-Typ sind. Die parallelen NMOS-Transistoren sind hingegen vom HVTO-Typ.

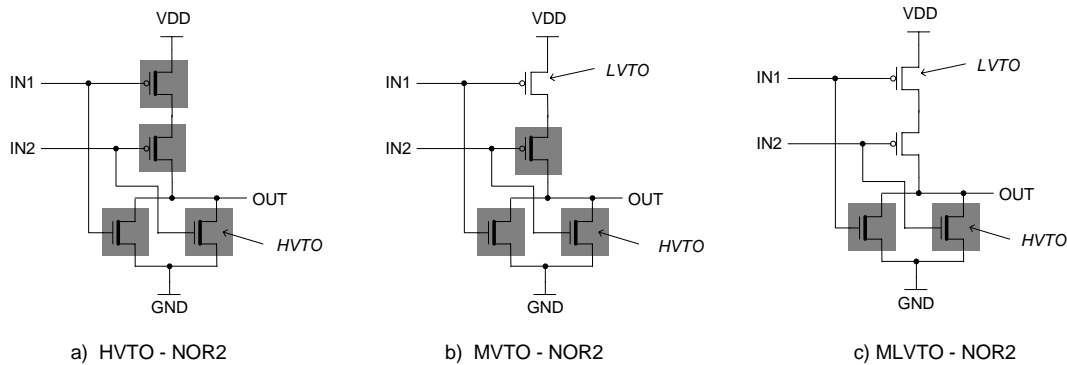


Abbildung 2 NOR2 realisiert in *Mixed-Gates* Technik

In Tabelle 1 sind für ein NOR2-Gatter die verschieden dimensionierten Gattertypen dargestellt, die in der modifizierten BPTM Technologie realisiert wurden. Es ist zu erkennen, dass die maximalen Berechnungszeiten des LVTO-Gatters und des MLVTO-Gatters identisch sind, während der durchschnittliche Leckstrom des MLVTO Typs ca. 30% geringer ist. Die Eingangskapazität des MLVTO-Gatters ist ca. 5 % höher, da die NMOS-Transistoren beim LVTO-Gatter kleiner dimensioniert werden konnten, als beim MLVTO-Gatter. Weiterhin ist ersichtlich, dass der Leckstrom eines Gatters vom Eingangsvektor abhängig ist.

Um den Leckstrom in einer Schaltung zu reduzieren, werden die kritischen Pfade ermittelt. Hierbei handelt es sich um die Pfade von den Eingängen zu den Ausgängen der Schaltung, die die längste Berechnungszeit benötigen. Da diese die Gesamtberechnungszeit der Schaltung bestimmen, werden alle Gatter der kritischen Pfade mit dem schnellsten Gattertyp realisiert. Bei DTCMOS ist dies ein *low V_{th}* Gatter, bei DTOCMOS ist es ein *low T_{ox}* Gatter und bei MG ist es ein MLVTO Gatter. In den restlichen Pfaden werden die Gatter als *high V_{th}* (DTCMOS), *high T_{ox}* (DTOCMOS) bzw. MVTO oder HVTO (MG) Gattertyp implementiert. Dies geschieht solange, bis die langsamen Pfade die gleiche Berechnungszeit wie die kritischen Pfade haben, bzw. alle Gatter modifiziert wurden. Ein Beispiel für die unterschiedlichen Realisierungen ist in Abbildung 3 dargestellt.

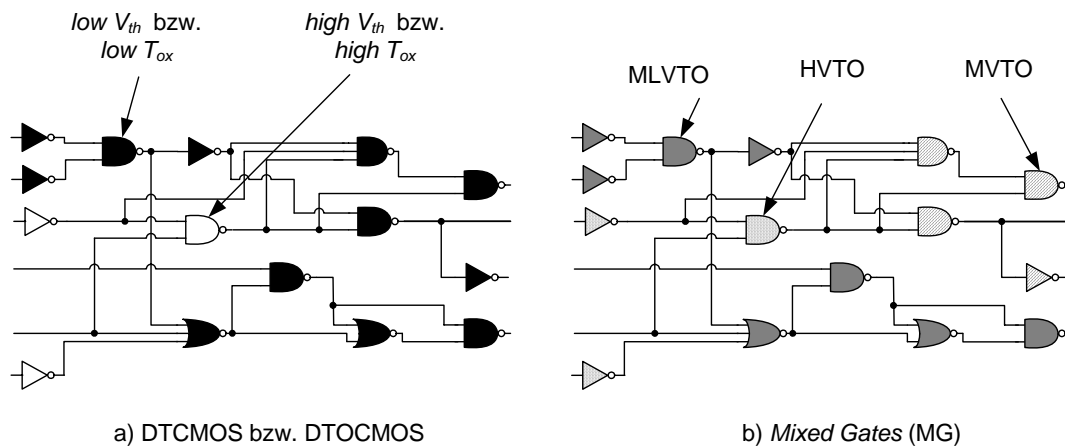


Abbildung 3 Realisierung einer Schaltung mit dem DTCMOS, dem DTOCMOS und dem MG Ansatz

Tabelle 1 Parameter der unterschiedlichen Gattertypen eines NOR2 Gatters

	HVTO	MVTO	MLVTO	LVTO
PMOS (Typ, Breite [m])	HVTO, 1 μ	HVTO, 1 μ	LVTO, 1 μ	LVTO, 1 μ
	HVTO, 1 μ	LVTO, 0,9 μ	LVTO, 1 μ	LVTO, 1 μ
NMOS (Typ, Breite [m])	HVTO, 0,2 μ	HVTO, 0,2 μ	HVTO, 0,3 μ	LVTO, 0,2 μ
	HVTO, 0,2 μ	HVTO, 0,3 μ	HVTO, 0,3 μ	LVTO, 0,2 μ
C_{in} [F]	6,4 f	6,4 f	6,8 f	6,4 f
T_{max_rise} [s]	88,0 p	77,0 p	66,0 p	66,0 p
T_{max_fall} [s]	90,0 p	78,0 p	65,0 p	65,0 p
$I_{sub_durchschnitt}$ [A]	7,3 n	32,0 n	60,5 n	70,4 n
$I_{gate_durchschnitt}$ [A]	3,3 n	4,6 n	6,5 n	16,1 n
$I_{leak\ bei}$	"00" [A]	7,5 n	10,3 n	14,3 n
	"01" [A]	14,6 n	111,0 n	120,9 n
	"10" [A]	12,6 n	14,8 n	105,2 n
	"11" [A]	7,6 n	10,3 n	27,8 n

4. Der Algorithmus

Bevor beim Entwurf einer Schaltung jedem Gatter ein Gattertyp zugewiesen werden kann, muss jedes Gatter bezüglich der maximalen Berechnungszeit und des Leckstroms für jede Eingangskombination in einer Bibliothek charakterisiert werden.

Der Algorithmus zur Zuweisung der Gattertypen basiert auf bekannten Algorithmen [6][15], und verwendet für jeden Gattertyp eines Gatters einen Wichtungsfaktor Ψ . Dieser ermittelt sich jedoch nicht nur aus dem Leckstrom und der Berechnungszeit, sondern bezieht auch die Anzahl der angrenzenden Gatter mit ein. Dieser zusätzliche Parameter, der als *pos_wicht* bezeichnet wird, ergibt sich aus der Summe der Eingänge eines Gatters und der Summe der Gatter, die mit dem Ausgang verbunden sind. Somit wird bewertet, wie viele Gatter durch eine Änderung des Gattertyps betroffen sind. Zusätzlich fließt in Ψ die Differenz I_{leak_diff} der Leckströme für den aktuellen Gattertyp und den Gattertyp, für den Ψ bestimmt wird, mit ein. Der dritte Teil des Wichtungsfaktors bildet die Differenz aus dem momentanen *slack* des Gatters und der Differenz t_{diff} der Berechnungszeit t_{berech} des aktuellen Gattertyps und der Berechnungszeit $t_{berech_gattertyp}$ des untersuchten Gattertyps. Als *slack* wird die Zeit bezeichnet, um die das Gatter verlangsamt werden kann, ohne dass sich die maximale Berechnungszeit der Schaltung erhöht. Um zu verhindern, dass Ψ Null wird, wenn der *slack* und t_{diff} gleich sind, muss zusätzlich eine 1 addiert werden. Alle drei Faktoren von Ψ werden unterschiedlich gewichtet. Diese Wichtungen wurden in mehreren Simulationen variiert und stellen einen Kompromiss aus den besten Werten dar.

Der Ablauf des Algorithmus ist in Abbildung 4 dargestellt. Als erstes wird jedes Gatter als schnellster Gattertyp (LVTO) implementiert und der Faktor *pos_wicht* bestimmt. Zusätzlich wird für eine gegebene Signalwahrscheinlichkeit der Eingangssignale die Signalwahrscheinlichkeit jedes einzelnen internen Netzes der Schaltung berechnet. Die Signalwahrscheinlichkeit gibt an, mit welcher Wahrscheinlichkeit ein Signal logisch „1“ ist. Daraufhin wird für jedes Gatter der Zeitpunkt bestimmt, an dem es seine Berechnung abgeschlossen hat. Im nächsten Schritt wird für alle Gatter der *slack* bestimmt und anhand der Signalwahrscheinlichkeiten der Leckstrom berechnet. Ist der *slack* für ein Gatter größer als 0, d. h. das Gatter könnte mehr Zeit für die Berechnung erhalten und damit einen geringeren Leckstrom verbrauchen, wird Ψ für jeden Gattertyp dieses Gatters bestimmt. Danach wird der Gattertyp mit dem größten Ψ ermittelt und das entsprechende Gatter mit diesem Gattertyp realisiert. Dieser Ablauf erfolgt, bis keine Verbesserung mehr möglich ist. Abschließend wird bei jedem

Gatter überprüft, ob durch eine Umordnung der Eingänge der Leckstrom reduziert werden kann. Dieser Ansatz basiert auf den unterschiedlichen Signalzustandswahrscheinlichkeiten der Netze und der Abhängigkeit des Leckstroms eines Gatters vom Eingangsvektor. Die Eingänge werden so umsortiert, dass der Eingangsvektor am häufigsten auftritt, der den geringsten Leckstrom hervorruft.

```

Alle_Gatter als MLVTO-Typ
for Alle_Gatter
     $pos\_wicht = \Sigma_{Eingänge} + \Sigma_{Gatter\_am\_Ausgang}$ 

    Berechne alle Signalzustandswahrscheinlichkeiten

    while (  $\max(\Psi_n) > 0$  ) {
        Berechne alle Zeitpunkte

        for Alle_Gatter {
            Berechne  $I_{leak}$  und  $t_{slack}$ 
            Setze alle  $\Psi_n$  auf 0
             $T_{berech}$  = Berechnungszeit des Gatters
            if (  $t_{slack} > 0$  ) {
                for Alle_Gattertypen {
                     $I_{leak\_diff} = I_{leak} - I_{leak\_gattertyp}$ 
                     $t_{diff} = t_{berech\_gattertyp} - t_{berech}$ 
                    if (  $t_{slack} > t_{diff}$  )
                         $\Psi_n = I_{leak\_diff}^{1,5} \cdot (1 + t_{slack} - t_{diff}) \cdot (pos\_wicht)^{-0,5}$ 
                }
            }
        }
        if (  $\max(\Psi_n) > 0$  ) {
            Ändere Gatter mit  $\max(\Psi_n)$ 
        }
    }

for Alle_Gatter
    Umordnen der Gattereingänge

```

Abbildung 4 Algorithmus zur Zuweisung der Gattertypen

5. Ergebnisse

Um den *Mixed Gates* (MG) Ansatz zu verifizieren, wurde der in Abbildung 4 dargestellte Algorithmus implementiert. Weiterhin wurde auf Basis der modifizierten Technologiemodelle aus Abschnitt 2 eine Bibliothek aus LVTO, HVTO, MVTO und MLVTO Gattern erstellt. Die Verifizierung erfolgte anhand der bekannten ISCAS Benchmarkschaltungen [14]. Als erstes wurde jede Schaltung nur aus LVTO Gattern realisiert. Dann wurde jede Schaltung aus HVTO und LVTO Gattern aufgebaut, wobei die Berechnungszeit der Schaltung jeweils gleich gegenüber der LVTO Version blieb. Dieser Ansatz wird im Folgenden als DVTO (*Dual V_{th} / Dual T_{ox} CMOS*) Ansatz bezeichnet, da hier Gatter verwendet wurden, die sich sowohl in ihrer Schwellspannung V_{th} als auch der Dicke T_{ox} der Oxidschicht unterscheiden. Abschließend wurde jede Schaltung mit Hilfe des *Mixed Gates* Ansatzes implementiert, wobei die Berechnungszeit wiederum konstant blieb.

Der Simulationsergebnisse der Schaltungen entsprechen den erwarteten Resultaten (siehe Tabelle 2). So konnte der Leckstrom der Schaltungen sowohl mit dem DVTO Ansatz (durchschnittlich -36 %) als auch mit dem MG Ansatz (durchschnittlich -54 %) reduziert werden. Interessanter ist der Vergleich zwischen dem MG und dem DVTO Ansatz (siehe Abbildung 5). Hierbei zeigt sich, dass der Leckstrom im Durchschnitt um weitere 27 % gegenüber dem DVTO Ansatz reduziert werden konnte, wobei in allen Fällen mindestens eine Verbesserung um ca. 20 % erreicht wurde.

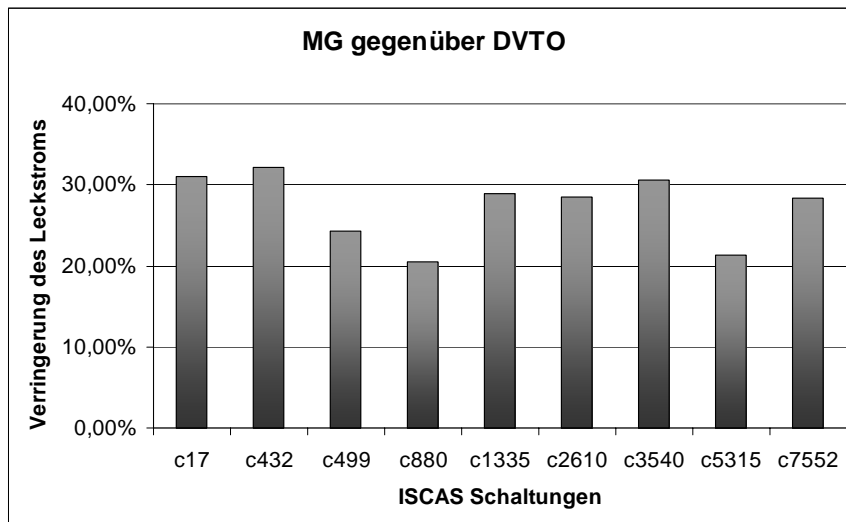


Abbildung 5 Vergleich der Optimierung mit dem *Mixed Gates* (MG) und *Dual V_{th} / Dual T_{ox} CMOS* (DVTO) Ansatz an ISCAS Schaltungen

6. Zusammenfassung

In der vorliegenden Arbeit wurde der *Mixed Gates* Ansatz zur Reduzierung des Leckstroms vorgestellt. Der Ansatz vereint die Vorteile der bekannten DTCMOS und DTOCMOS, da Gatter verwendet werden, die sich sowohl in der Schwellspannung als auch in der Dicke der Oxidschicht unterscheiden. Des Weiteren werden unterschiedliche Transistoren auch innerhalb der Gatter eingesetzt und somit drei verschiedene Gattertypen realisiert, die sich in Berechnungszeit und Leckstromverbrauch unterscheiden. Mit Hilfe des vorgestellten Algorithmus werden in einer Schaltung die Gatter in den nicht kritischen Pfaden bestimmt und mit Gattertypen ersetzt, die einen geringeren Leckstromverbrauch haben. Somit kann gegenüber bekannten Techniken der Leckstrom um durchschnittlich weitere 32% reduziert werden, wobei die Berechnungszeit der Schaltung konstant bleibt.

Tabelle 2 Leckstrom I_{leak} und Gatterverteilung der unterschiedlichen Implementierungen der ISCAS Schaltung

ISCAS	Gatter	Standard	<i>Dual V_{th} / Dual T_{ox} CMOS</i>			<i>Mixed Gates</i> (MG)			
		I_{leak}	HVTO	LVTO	I_{leak}	HVTO	MVTO	MLVTO	I_{leak}
c17	15	1,8 μ A	2	13	1,7 μ A	2	5	8	1,2 μ A
c432	458	60,5 μ A	143	315	45,8 μ A	128	74	256	31,1 μ A
c499	474	59,6 μ A	263	211	37,4 μ A	252	38	184	28,3 μ A
c880	393	71,5 μ A	287	106	26,9 μ A	282	16	95	21,4 μ A
c1335	748	90,2 μ A	154	594	77,3 μ A	127	102	519	55,0 μ A
c2610	663	114,1 μ A	357	306	62,9 μ A	354	66	243	45,0 μ A
c3540	1930	236,3 μ A	846	1084	158,1 μ A	780	259	891	109,6 μ A
c5315	1781	296,8 μ A	1360	421	105,3 μ A	1339	58	384	82,8 μ A
c7552	2793	343,0 μ A	1222	1571	226,4 μ A	1147	319	1327	162,1 μ A

7. Referenzen

- [1] Kim, N.S., Austin, T., Blaauw, D., Mudge, T., Flautner, K., Hu, J.S., Irwin, M.J., Kandemir, M. und Narayanan, V. Leakage Current: Moore's Law Meets Static Power, In *IEEE Computer*, S. 68, Nr. 12, 2003.
- [2] Kao, J., Chandrakasan, A. und Antoniadis, D. Transistor sizing issues and tool for multi-threshold CMOS technology, In *Proceedings of 34th Conference on Design Automation (DAC)*, S. 409-414, ISBN:0-89791-920-3, Anaheim, USA, 1997.
- [3] Anis, M. und Elmasry, M. in *Multi-Threshold CMOS Digital Circuits*, Kluwer Academic Publishers (2003).
- [4] Yuan, L. und Qu, G. Enhanced leakage reduction Technique by gate replacement. In *Proceedings of the 42nd Annual Conference on Design Automation (DAC)*, pp. 47-50, San Diego, California, USA, 2005.
- [5] Maken, P., Degrauwe, M., Van Paemel, M. und Oguey, H. A Voltage Reduction Technique for Digital Systems, In *Proceedings of IEEE International Solid-State Circuits Conference*, S. 238-239, 1990.
- [6] Sundararajan, V. und Parhi, K. Low Power Synthesis of Dual Threshold Voltage CMOS VLSI Circuits, In *Proceedings of the IEEE International Symposium on Low Power Electronics and Design*, S. 139-144, 1999.
- [7] Sultania, A.K., Sylvester, D., Sapatnekar, S. Transistor und Pin Reordering for Gate Oxide Leakage Reduction in Dual T_{ox} Circuits, In *Proceedings of 22nd IEEE International Conference on Computer Design (ICCD)*, San Jose, USA, 2004.
- [8] Sakurai, T. und Newton, R. Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas, In *IEEE Journal of Solid-State Circuits*, 25 (2), Apr. 1990.
- [9] Hu, S., Xuemei, X., Mohan, D., He, J., Liu, W., Cao, K. M., Jin X., Ou, J. J., Chan, M., and Niknejad, A. M *Berkeley short channel IGFET model version 4.5*, Dpt. of EECS, University of California, Berkeley, 2005.
- [10] Mukhopadhyay, S. and Roy, K. Modelling and Estimation of Total Leakage Current in Nano-scaled CMOS Devices Considering the Effect of Parameter Variation, In *Proceedings of ISLPED'03*, Seoul, Korea, 2003.
- [11] Sill, F., Grassert, F. und Timmermann, D. Total leakage power optimization with improved Mixed Gates, In *Proceedings of 18th Symposium on Integrated Circuits and Systems Design*, Florianopolis, Brasilien, 2005.
- [12] Cao, Y., Sato, T., Sylvester, D., Orshansky, M., and Hu, C. New paradigm of predictive MOSFET and interconnect modeling for early circuit design, In *Proc. of CICC*, pp. 201-204, 2000.
- [13] Wei, L., Chen, Z. und Roy, K. Mixed- V_{th} (MVT) CMOS Circuit Design Methodology for Low Power Applications, In *Proceedings of the 36th Design Automation Conference*, pp.430-435, 1999.
- [14] Hansen, M., Yalcin, H. und Hayes, J. P. Unveiling the ISCAS-85 Benchmarks: A Case Study in Reverse Engineering, In *IEEE Design and Test*, vol. 16, no. 3, S. 72-80, Juli-Sept. 1999.
- [15] Sultania, A., Sylvester, D. und Sapatnekar, S. Gate Oxide Leakage Reduction using Transistor and Pin Reordering for Dual T_{ox} Circuits," In *Proc. of IEEE International Conference on Computer Design*, S. 228 - 233, 2004.