

Ein 4-bit Mikroprozessormodul für sensornahe Datenverarbeitung in der Mikrosystemtechnik und Sensorelektronik

Hagen Ploog, Andreas Wassatsch, Steffen Dolling, Dirk Timmermann

Einleitung

Ein Schwerpunkt in der Mikrosystemtechnik sind seit Jahren Smart-Sensoren. Ziel dieser Anstrengungen ist die Integration von Sensorik, Aktorik und Verarbeitung auf einen VLSI-Schaltkreis. Üblicherweise sind derartige Strukturen derart komplex, daß intelligente Steuereinheiten zum integralen Bestandteil geworden sind. Die Verwendung von ressourcenreduzierten Elementen ist, trotz der fortgeschrittenen Technologie, immer noch ein relevantes Thema [1]. Es wird hier ein parametrierbares VHDL-Modul eines 4b-µP-Cores für anwendungsspezifische VLSI-Chips vorgestellt.

1 Architektur

Die wesentlichsten Abhängigkeiten bei der Neuentwicklung von Prozessorarchitekturen zeigt Bild 1. Zielstellung war die Entwicklung einer Architektur, die sowohl schnell (> 8 MIPS) als auch so klein ist (max. 1500 Gatteräquivalente¹), daß sie die Fläche des eigentlichen Sensors nicht übertrifft. Die von einem einfachen D-FlipFlop benötigte Fläche beträgt ca. 6 GÄ, werden statt dessen scanpath-DFlipFlops eingesetzt, erhöht sich der Flächenbedarf je nach Technologie auf 10 GÄ. Damit scheidet eine großzügige Implementierung von speichernden Elementen/Registern² aus. Aus Geschwindigkeitsgründen ist eine RISC-ähnliche Struktur aufgrund ihrer Pipeline-Fähigkeit vorzuziehen, eine reine RISC-Architektur scheidet aber aufgrund der großen Anzahl benötigter Register aus. Andererseits erfordert eine reine Ein-Akkumulator-Maschine nur ein Register, dafür aber eine ungleich höhere Anzahl Taktzyklen, um z.B. effektiv Arithmetik betreiben zu können.

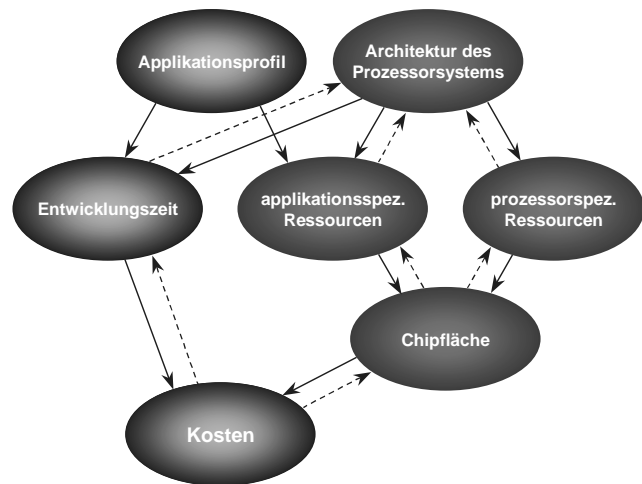


Bild 1: Entwicklungsabhängigkeiten

¹ 1 Gatteräquivalent $\hat{=}$ äquivalente Fläche eines 2fach-NAND

² RISC-typisch wäre, daß die Arbeitsregister die Breite des Adreßregisters hätten, bzw. daß das Adreßregister ein Arbeitsregister darstellt

Der RUN4-Kern basiert deshalb auf einer modifizierten Harvard-Architektur. Er weist sowohl RISC-typische Elemente wie die Multiregister-Struktur (keine virtuellen, sondern Arbeitsregister) und einheitliches Befehlsformat als auch CISC-typische Eigenschaften wie die Verwendung komplexer Adressierungsarten für arithmetische Funktionen auf (Bild 2).

Die Architektur besitzt folgende Merkmale:

- Konfigurierbarkeit
- zwei Registergruppen je 3 bzw. 4 universellen 4b-Registern
- alternative Verwendung der Registergruppen als Akkumulatorgruppe oder Zeigerregister
- 10-Bit Instruction-Pointer
- effizienter Befehlssatz mit hohe Codedichte
- 4-Bit Flag-Register (I, C, Z, OVN)
- eine/keine Interruptebene
- maximale Kapazität des RAM : 256×4b
- maximale Kapazität des ROM : 1024×12b

Durch geringfügige Erweiterungen [2] an diesem Basiskonzept besteht die Möglichkeit, auch größere Datenspeicher zu adressieren.

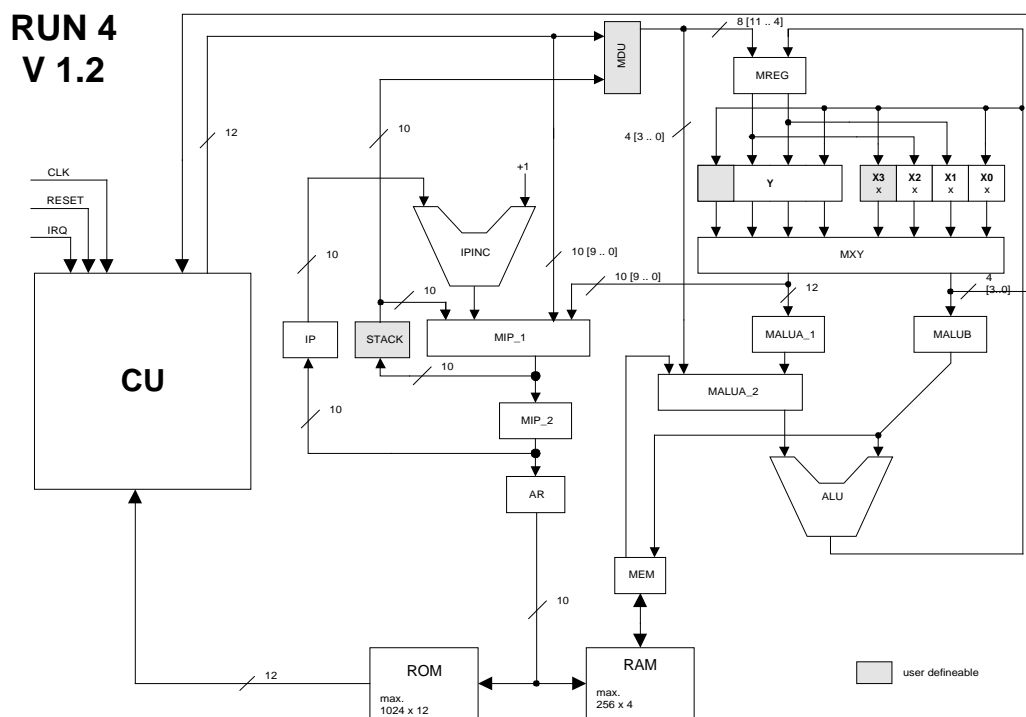


Bild 2: Parametrierbare Basisarchitektur des RUN4

2 VHDL

Die Beschreibung des μ P-Cores erfolgte ausschließlich in VHDL. Neben einer guten Simulationsfähigkeit ist damit gewährleistet, daß das Design auf unterschiedlichen Bibliotheken abgebildet werden kann (ASIC, FPGA, ...).

2.1 Busstrukturen

Bussysteme i.a. bestehen aus Sender/Empfängermodulen, die auf einem Bus kommunizieren können. Aus Gründen der besseren Testbarkeit ist beim Beschreiben der internen Busstrukturen auf die Verwendung von Tri-State-Stufen komplett verzichtet worden. Die Ausgänge einer Modulgruppe führen jeweils auf einen Multiplexer, der dann den gewünschten Ausgang durchschaltet (1-aus-n-Dekoder). Durch konsequente Anwendung der Transformation liegt die Testbarkeit des Designs dadurch bei 98.5%.

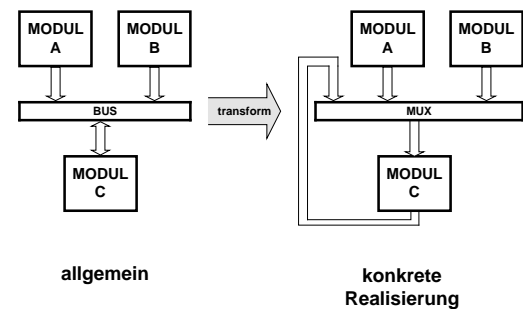


Bild 3: Busstrukturen

3 Parametrierbarkeit

Um den Anforderungen minimaler Applikationen gerecht zu werden, ist es möglich, die Anzahl der Arbeitsregister einer Registergruppe wahlweise auf drei bzw. vier einzustellen. Dies hat bei besonders ressourcenkritischen Applikationen den Vorteil, daß ganz auf externes RAM verzichtet werden kann. Um die Parametrierbarkeit zu vereinfachen, sind alle von der Anzahl der Register abhängigen Komponenten als generische VHDL-Module beschrieben. Das Ein- bzw. Ausschalten bestimmter Eigenschaften (Interrupt/SlowRAM/#Register) erfolgt jeweils durch Auswertung der entsprechenden Schalter. Eine nachträgliche Modifikation der eigentlichen Quellen wird dadurch vermieden, wodurch ein einfacher Reuse des Cores gewährleistet ist.

4 Software

Um einen ersten Eindruck bzgl. der Leitungsfähigkeit des RUN4 zu vermitteln, wurde in [3] eine Reihe von Testprogrammen entwickelt. Der Rahmen dieser Programme erstreckt sich dabei von einfacher Arithmetik (Multiplikation / Division) bis zur Implementierung eines UART-Moduls zur seriellen Kommunikation. Speziell für Sensorapplikationen wurden Funktionen für lineare Interpolation realisiert. Das Testen der einzelnen Programme erfolgt dabei mit einer state-of-the-art Programmierumgebung unter WindowsNT, die in [5] entwickelt wurde.

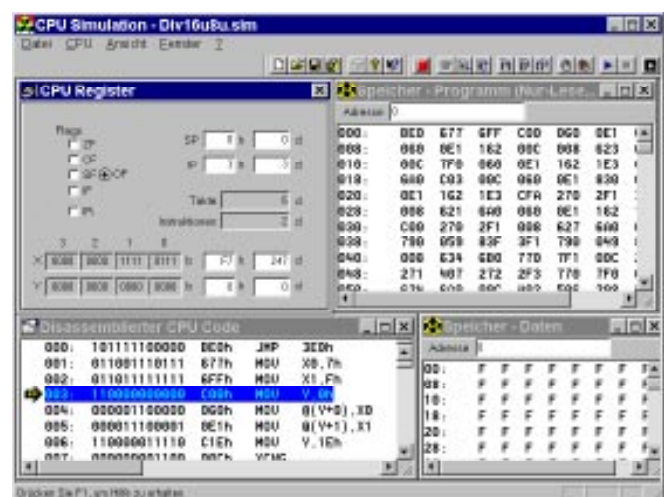


Bild 4: Simulationsumgebung

5 Zusammenfassung

Smart-Sensor-Applikationen verarbeiten verstärkt die Meßdaten in unmittelbarer Nähe des eigentlichen Sensors [4]. Das bedingt das Vorhandensein eines Prozessors auf dem Sensorchip. Um eine optimale Anpassung des Kerns an die zu lösenden Aufgaben zu ermöglichen, sind beim Entwurf des RUN4 die Zielapplikationen in die Spezifikation eingeflossen. Dadurch ist eine minimale, optimal auf die Lösung von Smart-Sensor-Applikationen zugeschnittene Architektur entstanden. Die max. Taktrate beträgt 30 MHz, das durchschnittliche Abarbeiten eines Befehls benötigt 2 Taktzyklen. Der Durchsatz beträgt ca. 12 MIPS. Die Designvorgaben sind damit deutlich unterschritten worden. Exemplarisch wurde das Design auf eine ASIC-Bibliothek³ und auf einem XILINX-FPGA abgebildet. Für das FPGA ist eine Prototypen-Entwicklungsumgebung realisiert worden. Die nächsten geplanten Schritte sind die Entwicklung von Datenwandlereinheiten (4 bit \leftrightarrow 8 bit), die es ermöglichen, bereits vorhandene Peripherie (I/O, A/D, D/A) an den Core anzuschließen, sowie eigene softwareunterstützende Komponenten (Timer, Zähler usw.). Des weiteren ist die HW-Integration unterschiedlicher serieller Busprotokolle, wie z.B. I²C, RS232 und für Chipkarten T0 und T1 geplant.

Literatur

- [1] W. Brockherde, D. Hammerschmidt, B.J. Hosticka: Silicon microsystems for mechatronic applications. Conference on Mechatronics and Robotics, Teubner (1995), Proceedings 446-455
- [2] E. Woitzel, H.Ploog : Erweiterungsmöglichkeiten der RUN4-Architektur, intern, Uni Rostock, 1996
- [3] B. Katschke : Benchmarksuite für den Microcontroller RUN4, kleiner Beleg, Uni Rostock, 1997
- [4] P.Schulmeyer: Intelligente Sensoren. Design & Elektronik, Nr. 20/96
- [5] F. Papenfuß: Evaluierung minimaler Prozessorarchitekturen, Diplomarbeit, Uni Rostock, 1996

Verfasser

Dipl.-Ing. Hagen Ploog
Dipl.-Ing. Andreas Wassatsch
Dipl.-Ing. Steffen Dolling
Prof. Dr. Dirk Timmermann
Universität Rostock
FB Elektrotechnik und Informationstechnik
Institut für Angewandte Mikroelektronik und Datenverarbeitung
Richard-Wagner-Str. 31
18119 Rostock

Tel.: 0381 / 498 3529
email: hp@e-technik.uni-rostock.de

³ ES2-Bibilothek 1 μm : 1300 GÄ, Fläche : ca. 2.1 mm²