

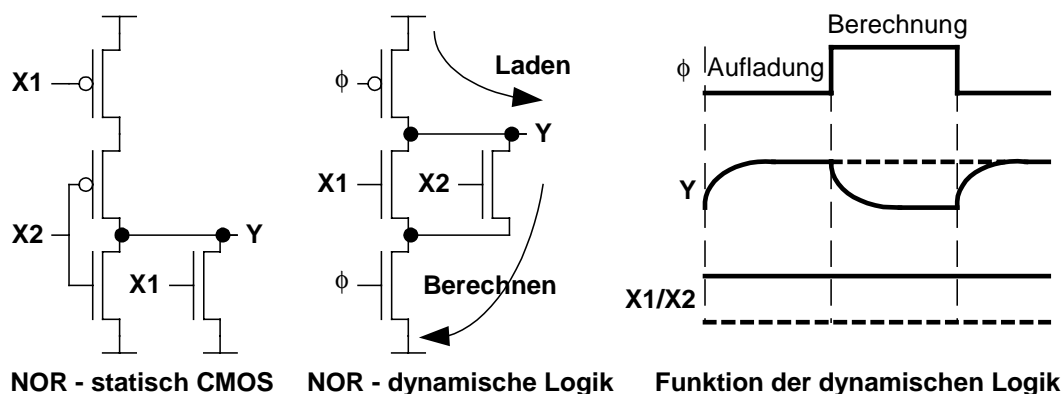
# Integration asynchroner Schaltungsansätze zur Verringerung der Verlustleistung in dynamischen Schaltungstechniken mit Einphasentakt

Frank Grassert, Dirk Timmermann

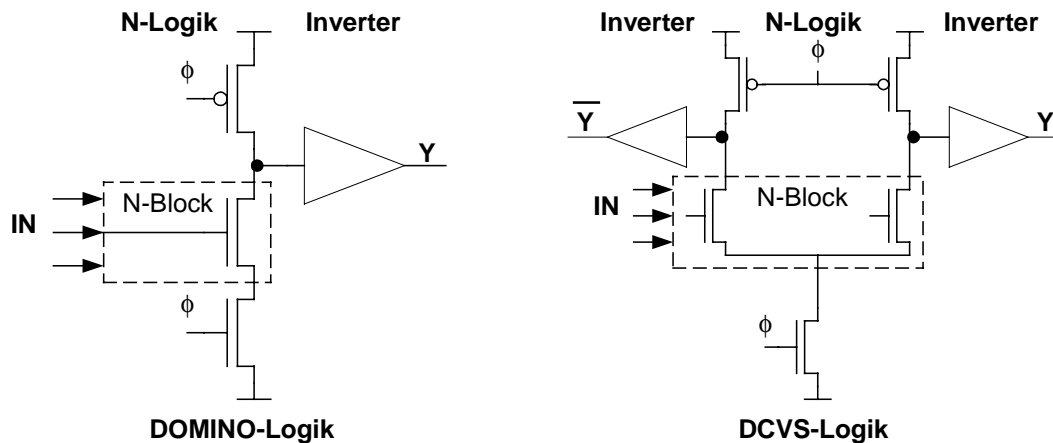
## 1. Einführung

Die Anforderungen an anwenderspezifische Schaltkreise bezüglich der Leistungsfähigkeit und der Geschwindigkeit wachsen beständig. Eine Beschleunigung der Abarbeitungsgeschwindigkeit kann auf der Transistorebene durch leistungsfähigere Schaltungstechniken erzielt werden. Daher werden vor allem für Anwendungen mit höchsten Datenraten oder niedrigsten Latenzzeiten dynamische Schaltungstechniken eingesetzt [1]. Das dynamische Prinzip erlaubt kürzeste Berechnungszeiten aufgrund der ausschließlichen Verwendung von N-Transistoren für die Realisierung der logischen Funktion und bietet zusätzlich die Möglichkeit, den Platzbedarf zu reduzieren.

Die Abbildung 1 zeigt den Aufbau einer dynamischen Schaltung im Vergleich zur Standard-CMOS-Schaltungstechnik. Für die Realisierung der logischen Funktion wird im Gegensatz zur statischen CMOS Technik, bei der die Funktion durch N-Transistoren und durch komplementär verschaltete P-Transistoren aufgebaut wird, nur ein Netzwerk aus N-Transistoren benötigt, wodurch sich ein Geschwindigkeitsvorteil ergibt. Allerdings arbeiten dynamische Logiken grundsätzlich in zwei Phasen und erfordern somit ein Taktsignal. In der ersten Phase (Ladephase) wird der Ausgang auf einen vordefinierten Wert geladen. In der zweiten Phase (Berechnungsphase) erfolgt die Berechnung, wobei der Ausgangsknoten je nach Eingangszustand durch das Netzwerk in den alternativen Zustand umgeladen wird. Hauptnachteil dieser Struktur ist, dass der Ausgang nicht direkt als Eingang folgender Stufen genutzt werden kann. Die in Abbildung 2 dargestellte DOMINO-Logik bildet die einfachste dynamische Logikart und kommt mit zwei sich überlappenden Taktphasen aus [2]. Zur Verbesserung der Geschwindigkeit sind weitere, kompliziertere Taktsysteme denkbar. Ein Nachteil der DOMINO-



**Abbildung 1:** NOR Gatter in Standard-CMOS und dynamischer Logik; Funktionsweise der dynamischen Logik



**Abbildung 2:** Aufbau der DOMINO- und der Differential-Cascode-Voltage-Switch-Logik

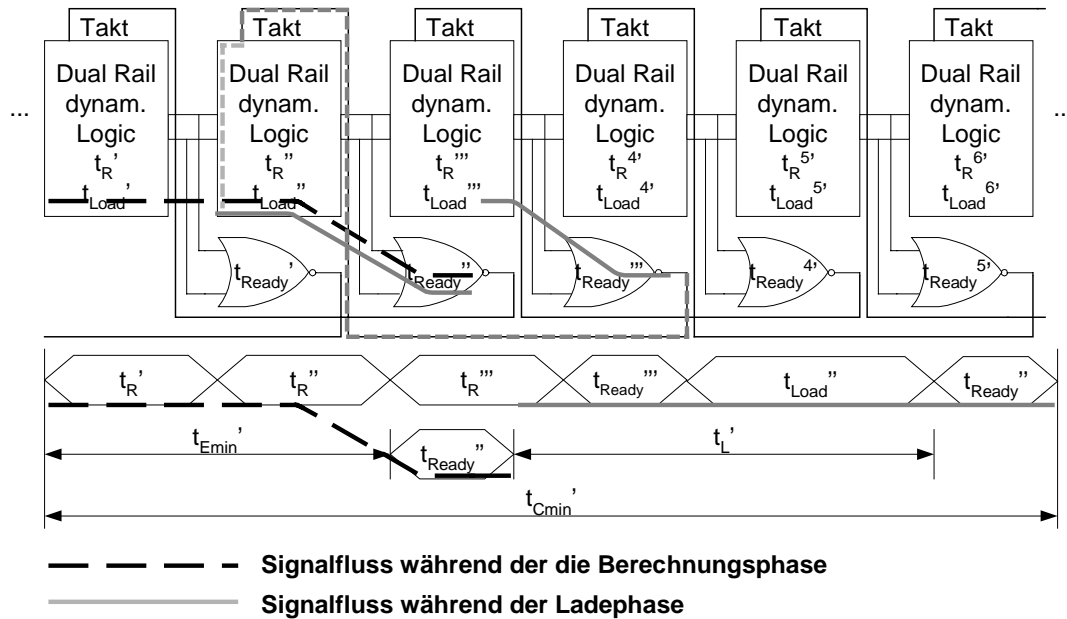
Technik ist, dass lediglich nichtinvertierende Funktionen realisiert werden können. Um auch andere logische Funktion umzusetzen, ist ein dualer Aufbau notwendig, was bedeutet, dass immer zwei zueinander komplementäre Ausgangssignale durch vollständig getrennte Logiken erzeugt werden. Ausgehend von einem derartigen Aufbau können differentielle Logikarten abgeleitet werden. In Abbildung 2 ist als Beispiel die Differential-Cascode-Voltage-Switch (DCVS) Logik dargestellt [2]. Der Vorteil dieser Technik ist, dass die Logiknetzwerke zum Entladen der Ausgangsknoten nicht vollständig getrennt werden müssen, sondern Teile zusammen genutzt werden können, wodurch aufwendige logische Funktionen mit nur wenigen Transistoren realisierbar sind.

Dynamische Schaltungstechniken mit komplementären Ausgangssignalen bieten eine leichte Möglichkeit, Ready- oder Self-timed-Signale zu erzeugen. Im Folgenden wird die Möglichkeit beschrieben, wie mit Hilfe dieser Eigenschaft asynchrone Strukturen aufgebaut werden können, die einen niedrigen Stromverbrauch haben. Im nächsten Kapitel wird der grundlegende Ansatz für eine asynchrone Verknüpfung und die Integration in ein synchrones System erläutert. Kapitel drei beschreibt den Vorteil im Hinblick auf eine Verlustleistungsreduktion und Kapitel vier zeigt Ergebnisse auf.

## 2. Asynchrone Verschaltung dynamischer Logiken im Einphasentakt

Dynamische Schaltungstechniken mit komplementären Ausgängen können als asynchrone Logiken aufgebaut werden. Durch einen Wechsel zwischen der Ladephase, in der beide Ausgänge auf denselben, vordefinierten Zustand geladen werden, und der Berechnungsphase, in der die Ausgänge nach Beendigung der Berechnung komplementär zueinander sind, können Self-timed-Signale erzeugt werden. Ist die Berechnung einer Stufe abgeschlossen, so kann ein erzeugtes Ready-Signal die vorhergehende Stufe in die Ladephase versetzen, da die Eingänge nicht mehr benötigt werden. Es ist ebenfalls möglich, eine nachfolgende Stufe in die Berechnungsphase zu setzen, wenn die Eingangsdaten bereits oder in naher Zukunft anliegen. Allerdings kann bei dieser Variante die Berechnungszeit verzögert werden, wenn die Taktsignale nicht rechtzeitig eintreffen. Der allgemeine Vorteil derartiger asynchroner Verknüpfungen ist, dass eine minimale Berechnungszeit dieser Kette erreicht werden kann, wie z.B. von Williams und Horowitz in [3] gezeigt wurde.

Abbildung 3 zeigt eine solche Verschaltung und ein Zeitdiagramm, von dem die Funktions-



**Abbildung 3:** Asynchrone Verschaltung dynamischer Logiken und Zeitdiagramm für den Ablauf einer Berechnungs- und Ladephase für die erste Logikstufe

bedingungen abgeleitet werden können. Es ist die minimal erforderliche Zykluszeit bestehend aus Berechnungs- und der Ladephase für die erste Stufe dargestellt.

Der Nachteil solcher asynchroner Ketten ist nun, dass für ein leichteres Design eine Eintegration in ein bestehendes synchrones System erfolgen muss. Eine solche Integration wurde von uns in [4] vorgestellt. Dabei wird jeweils die erste Stufe einer Kette von asynchron verknüpften Stufen mit dem globalen Takt betrieben, die letzte Stufe wird durch die Rückführung eines Ready-Signals aus der nachfolgenden Kette getaktet. Allerdings müssen zusätzliche zeitliche Parameter eingehalten werden, um die Funktion zu sichern.

### 3. Verlustleistung

Die Stromaufnahme einer Schaltung wird in zwei wesentliche Bereiche geteilt, den Leistungsverbrauch aufgrund von Signalwechseln interner Knoten der Logik und den Verbrauch durch den Takt. Da mit jedem Pegelwechsel des Taktes eine sehr große Kapazität umgeladen wird, hat dieser einen sehr großen Einfluss auf den Gesamtverbrauch der Schaltung. Der Verbrauch durch die Gatter unterscheidet sich bei Standard-CMOS und dynamischer Logik oft erheblich. Während statische CMOS-Logik bei einem Pegelwechsel Strom aufnimmt, verbraucht ein dynamisches Gatter prinzipiell in einem von zwei Ausgangszuständen Strom, da dann in beiden Phasen eines Taktzyklus eine Umladung stattfindet.

Eine asynchrone Verschaltung aufeinanderfolgender Stufen entlastet den globalen Takt stark. Durch diese Entlastung vereinfacht sich die Verteilung des Taktes und der nötige Aufwand zur Signalverstärkung wird reduziert. Dieser Vorteil macht sich jedoch nur im Vergleich mit anderen dynamischen Schaltungstechniken bemerkbar, nicht jedoch gegenüber der Standard-CMOS-Technik, da sich dort Logikblöcke mit Registern abwechseln und jeweils nur die Register den Takt belasten.

Der Verbrauch durch die Gatter wird durch die asynchrone Verschaltung nicht stark verän-

dert, weshalb dieser Wert in den meisten Fällen größer als bei der Standard-CMOS-Logik ist. Für einen fairen Vergleich des Leistungsverbrauchs zweier unterschiedlicher Schaltungstechniken muss die Geschwindigkeit mit der Stromaufnahme in Relation gesetzt werden. Dazu wird das Power-Delay-Produkt verwendet, wobei die Abarbeitungsgeschwindigkeit eines Befehls oder einer Schaltung mit der in dieser Zeit verbrauchten Leistung multipliziert wird.

## 4. Ergebnisse

Für einen Vergleich von statischer CMOS Schaltungstechnik und asynchron verknüpfter dynamischer Logik wurde ein Wallace-Tree-Multiplizierer simuliert. Die Ergebnisse sind in Tabelle 1 dargestellt. Es ist zu erkennen, dass sowohl der Verbrauch durch den Takt als auch der Verbrauch durch die Logik bei der dynamischen Logik größer ist. Das Power-Delay-Produkt der dynamischen Schaltungstechnik ist jedoch aufgrund der wesentlich kürzeren Latenzzeit um mehr als das 3,5fache besser und zeigt somit das hohe Potential solcher Verschaltungen.

	Statisch-CMOS	Asynchrone dyn. Logik
<b>Verbrauch der Logik</b>	1	1,43
<b>Verbrauch des Taktes</b>	1	1,1
<b>Latenzzeit</b>	1	0,2
<b>Power-Delay-Produkt</b>	1	0,28

**Tabelle 1:** Vergleich von Standard-CMOS und asynchroner dynamischer Logik anhand der relativen Ergebnisse einer simulierten Multipliziererstufe

## Literatur

- [1] Gronowski, P. E., Bowhill, W. J., Preston, R. P., Gowan, M. K., Allmon, R. L.: High-performance microprocessor design. *Journal of Solid State Circuits*, Vol. 33, No. 5, pp. 676-686, May 1998.
- [2] Weste, N. H. E., Eshraghian, K., *Principles of CMOS VLSI Design*. Reading: Addison-Wesley Publishing Company, 1994.
- [3] Williams, T. E., Horowitz, M. A., A Zero-Overhead Self-Timed 160-ns 54-b CMOS Divider. *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 11, November 1991.
- [4] Grassert, F., Timmermann, D., Dynamic Single Phase Logic with Self-timed Stages for Power Reduction in Pipeline Circuit Designs. *ISCAS 2001*.

## Verfasser

Dipl.-Ing. Frank Grassert

Prof. Dr. Dirk Timmermann

Universität Rostock / Fachbereich Elektrotechnik und Informationstechnik / Institut für Angewandte Mikroelektronik und Datentechnik

Richard-Wagner-Str. 31; 18119 Rostock

Tel.-Nr.: 498 3534, Fax-Nr.: 498 3601, e-Mail: frank.grassert@etechnik.uni-rostock.de