

# Trends und Perspektiven hochintegrierter Systeme

Dirk Timmermann

## Einleitung

Die rasanten Fortschritte der Technologie zur Realisierung hochintegrierter Schaltungen, speziell der CMOS-Technologie, erlauben immer mehr Funktionalität bei sinkenden Kosten. Diese seit fast zwei Dekaden anhaltende, in den letzten Jahren sogar sich beschleunigende Entwicklung wirft auch neue Fragen und Herausforderungen beim Entwurf und der Realisierung integrierter Schaltungen und Systeme auf. Einige Aspekte sollen nachfolgend kritisch beleuchtet werden.

## 1 Motivation

Unzweifelhaft gehört die Mikroelektronik zu den innovativsten Wissenschafts- und Industriezweigen. Die technologische Innovationsrate wurde schon 1968 von einem der Gründer von Intel, Gordon Moore, als das gleichnamige Gesetz postuliert: Die Integrationsdichte gemessen in Transistoren/Chip verdoppelt sich alle 18-24 Monate. Bisher hat sich diese Prognose in erstaunlicher Weise trotz vieler Unkenrufe bestätigt. Für die nächste Dekade ist realistisch davon auszugehen, daß dieser Trend anhält. Verbunden mit der reinen Erhöhung der Anzahl integrierbarer Transistoren ist auch eine in etwa proportionale Leistungssteigerung der damit aufgebauten Systeme.

Die dadurch beförderten Umwälzungen haben im Computerbereich ganze Produktkategorien, z.B. Minicomputer, wie Dinosaurier aussterben lassen und durch kleinere und dennoch leistungsfähigere Systeme wie den PC ersetzt. Fraglich ist, wodurch die wirtschaftlichen und wissenschaftlichen Effekte im wesentlichen erzielt wurden: durch die reinen Technologieverbesserungen oder durch Zugewinn in der Architektur und den Systemalgorithmen. Eine Studie von Hewlett-Packard zeigt, basierend auf Daten des IEEE, daß bis 1993 die Leistungssteigerungen der Mikroprozessoren in etwa zu gleichen Teilen aus Verbesserungen der Integrationstechniken und der Prozessorarchitektur resultierten. Seitdem hat sich die VLSI-Technologie um den Faktor 5 verbessert, gemessen an der Zunahme der Taktfrequenz. Als architektonisch begründete Leistungssteigerung konnte jedoch nur ein Faktor 2 erreicht werden, gemessen an der Anzahl der pro Taktzyklus ausgeführten Befehle.

Daraus könnte der Schluß gezogen werden, daß Technologie das einzig entscheidende Thema bei hochintegrierten Systemen ist. Durch Betrachtung einiger Aspekte der Technologie, der Architekturen und des Entwurfs sollen aktuelle Fragestellungen in diesen Bereichen vorgestellt werden.

## 2 Technologie

Derzeit wird intensiv diskutiert, inwieweit die derzeit getrennten Entwicklungslinien in der Speicher- und Logiktechnologie zusammengeführt werden können. Ziel ist, die Vorteile der Speichertechnologie (hohe Integrationsdichte) mit der im Logikbereich geforderten hohen

Geschwindigkeit und Systemtaktfrequenz zu kombinieren. Dies wird als Embedded DRAM oder auch IRAM (intelligent RAM) bezeichnet [1]. Ausgangspunkt ist die Beobachtung, daß die Geschwindigkeit der dynamischen Speicher mit den Prozessortaktfrequenzen nicht mithalten hat. Außerdem bremst die beschränkte Speicherbandbreite durch die limitierte Pinanzahl der DRAMs und des Prozessors. Andererseits nimmt der Anteil des Speichers auf heutigen Prozessoren immer mehr zu, wie in Abbildung 1 gezeigt.

<b>Anteil des Speichers in Mikroprozessoren</b> (I=Instruktions-Cache, D=Daten-Cache, L2=Level 2 Cache)				
<b>Jahr</b>	<b>Mikroprozessor</b>	<b>On-Chip Cache Größe</b>	<b>% Chipfläche für Speicher (ohne Pading)</b>	<b>% Transistoren für Speicher</b>
1989	Intel 80486	8 KB	19.9%	50.0%
1993	Intel Pentium	I: 8 KB, D: 8 KB	31.9%	32.0%
1995	Intel Pentium Pro (2 Chips: Prozessor und L2 Cache)	I: 8 KB, D: 8 KB L2: 512 KB	P: 22.5% +L2: 100% (Insges.: 64.2%)	P: 18.2% +L2: 100% (Insges.: 87.5%)
1992	Alpha 21064	I: 8 KB, D: 8 KB	21.4%	59.5%
1994	Alpha 21164	I: 8 KB, D: 8 KB L2: 96 KB	37.4%	77.4%
1996	Strong ARM SA-110	I: 16 KB, D: 16 KB	60.8%	94.5%

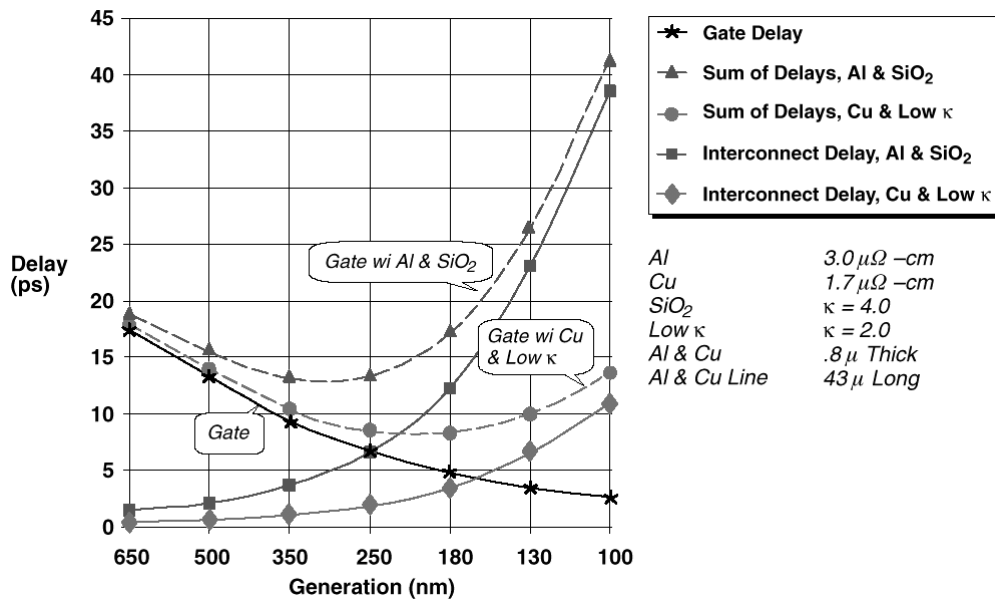
**Abbildung 1:** Entwicklung des On-Chip-Speichers bei Prozessoren [2]

Um diese Performancelücke zu schließen, wird mehr Speicher in Form von Cache direkt auf dem Prozessordie implementiert. Durch Verwendung einer Speichertechnologie für Prozessor und Cache kann mehr parallel erreichbarer Speicher bis zur Größe heutige gebräuchlichen Hauptspeichers implementiert werden. Die etwas geringere Prozessorgeschwindigkeit wird durch den entfallenen Flaschenhals für den Speicherzugriff mehr als ausgeglichen.

Moore's Gesetz wurde bisher in der Realität u.a. immer dadurch eindrucksvoll bestätigt, daß die Verkleinerung der Strukturen eine Erhöhung der möglichen Taktfrequenz mit sich brachte. Die maximale Taktrate wird durch die Schaltzeit der Transistoren und die Laufzeit auf den Verbindungsleitungen bestimmt. Bisher dominierte stark die Transistorlaufzeit, die sich für kleinere Strukturgrößen weiter reduziert. Die Leitungslaufzeit dominiert jedoch beginnend mit den derzeitig erreichten Strukturgrößen und wird weiter zunehmen, wenn nicht neue Materialien wie Kupfer eingesetzt werden. Dieses Problem ist für die nächsten Prozeßgenerationen noch nicht gelöst, wie in Abbildung 2 gezeigt.

### 3 Architekturen

Die zukünftigen Geschwindigkeitsanforderungen lassen sich z.B. mit einem Netz aus parallel arbeitenden einfacheren Prozessorkernen (in Art neuronaler Netze) oder Rechnern (z.B. NOW = Network Of Workstations /3/) erfüllen. Der Weg der Parallelisierung von Aufgaben wird prinzipiell auch in zukünftigen superskalaren GHz-Einzelprozessoren beschrritten, indem die Befehle auf mehrere interne Funktionseinheiten verteilt werden und damit mehr als ein Befehl pro Taktzyklus ausgeführt werden kann.



**Abbildung 2:** Gatterlaufzeit und Leitungsverzögerung bei verschiedenen Strukturgrößen [4]

Eine große Bedeutung werden mit hoher Wahrscheinlichkeit rekonfigurierbare Architekturen erlangen. Die Programmierung erfolgt dabei durch eine flexible Verdrahtung und nicht mehr durch eine bestimmte Speicherbelegung. Verglichen mit den derzeitigen feldprogrammierbaren Bausteinen (FPGA, CPLD) ist es sinnvoll, derzeitige Prozessorarchitekturen mit einem rekonfigurierbaren Feld direkt auf dem Chip zu ergänzen. Dies würde die Flexibilität von Software mit der Geschwindigkeit von paralleler Hardware verbinden. In [5] wird gezeigt, daß damit auch besonders verlustleistungsarme Lösungen für Anwendungen der digitalen Signalverarbeitung möglich sind.

Schon jetzt sind mit FPGAs und modernen Designwerkzeugen sehr schnell komplexe Schaltungen zu entwickeln und zu verifizieren [6]. Ein Anwendungsbeispiel sind serielle Arithmetikmodule in Most-Significant-Digit-First Technik, die durch die Programmierung einer Schaltmatrix flexibel verbunden werden können und besonders für massiv kaskadierte Berechnungen geeignet sind und schneller als parallele Strukturen sein können [7].

## 4 Entwurf

Spektakuläre und folgenreiche Fehler haben in der letzten Zeit häufig den Blick auf die Fehleranfälligkeit hochintegrierter Systeme gelenkt. Erinnerung sei an die bis Redaktionsschluß sechs bekannten Fehler der Pentium-Prozessoren (Ursachen: Entwurfsfehler), den Patriot-Fehlschuß im Golfkrieg (Arithmetischer Rundungsfehler in Software) und den Ariane V Absturz (vordergründig: arithmetischer Überlauf bei Zahlenkonvertierung, real eher ein Fehler im Softwarequalitätsmanagement). Wenn sich solche Fehler auch nie vollständig ausschließen lassen werden, können sie zumindest im Hardwarebereich durch Methoden der formalen Verifikation von Schaltkreisen vermieden werden. Die vollständige Verifikation großer Chips ist aber bisher aus zeitlichen Gründen nicht wirtschaftlich möglich. Immerhin nimmt die Verifikation einen immer größeren Zeit- und Kostenanteil des Entwurfs ein.

Für den Entwurf von komplexen Systemen bietet sich ein Hardware-Software Codesign an, bei dem die Hard- und Softwareanteile gleichermaßen abstrakt spezifiziert und erst relativ spät im Designfluß getrennt bearbeitet werden. Hardware wird wie Software spezifiziert und entwickelt. Da es wirtschaftlich unsinnig ist, jede Teilkomponente selbst zu entwickeln, entwickelt sich als Gegenstück zu den objektorientierten Komponenten der Softwaretechnik im Hardwaresektor eine starker Trend zu frei austauschbaren Hardwaremodulen, beschrieben in einer Hardwarebeschreibungssprache wie VHDL und versehen mit einer (noch endgültig zu definierenden) Schnittstelle. Diese können lizenziert und im eigenen Design auf eine beliebige Technologie synthetisiert werden. Diese als Intellectual Property (IP) bezeichneten Module enthalten das spezifische Systemwissen des jeweiligen Spezialisten und erlauben, zumindest im Prinzip, technologiefreie (fabless) Hardwareentwicklung. Erst mit diesem Ansatz sind wirkliche Systems on Chip zu konkurrenzfähigen Preisen möglich.

Ein Beispiel für ein solches Modul ist der RUN4, ein speziell für ressourcenkritische Anwendungen entwickelter Mikrocontroller [8] mit weniger als 1500 Gatteräquivalenten. Die Herausforderung bei diesem Design bestand in der Entwicklung eines voll synthesefähigen, vielseitig parametrierbaren und mit Anwendungsprogramm simulierbaren Prozessorkerns.

## Literatur

- [1] D. Patterson, et.al., "Intelligent RAM (IRAM): Chips that remember and compute", IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, Februar 1997
- [2] Verschiedene Veröffentlichungen des IRAM-Teams, s. [1]
- [3] D. Patterson, et.al., "A Case for Networks of Workstations: NOW", IEEE Micro, Februar 1995
- [4] The National Technology Roadmap for Semiconductors, Ausgabe 1997, Semiconductor Industry Association, 1997
- [5] J. Rabaey, "Reconfigurable Computing: The solution to low power programmable DSP", ICASSP'97, April 1997
- [6] A. Wassatsch, "FPGA-Entwurf eines extrem flächensparenden CORDIC-Prozessors", Interner Bericht, Institut für Angewandte Mikroelektronik und Datenverarbeitung, Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock, 1997
- [7] S. Dolling, et.al., "Digit-Online-Architekturen und VHDL-Cores für die Umsetzung von schnellen seriellen MSD-First-Signalverarbeitungsalgorithmen", 14. ITG/GI-Fachtagung Architektur von Rechensystemen, ARCS97, Rostock, Sept. 1997
- [8] H. Ploog, et.al., "RUN4, ...", in diesem Tagungsband

## Verfasser

Prof. Dr. Dirk Timmermann

Universität Rostock

FB Elektrotechnik und Informationstechnik

Institut für Angewandte Mikroelektronik und Datenverarbeitung

Richard-Wagner-Str. 31

18119 Rostock

Tel.: 0381 / 498 3529

email: dtim@e-technik.uni-rostock.de