

# Asynchronous Chain True Single Phase Clock Logik (AC – TSPC)

F. Grassert, A. Wassatsch, D. Timmermann



Institut für Angewandte Mikroelektronik und Datentechnik  
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Schaltungstechnik und Architekturen

## Übersicht

- Grundlagen / Stand der Entwicklungen
- Verlustleistungsreduktion: Latch-freie Strukturen
- Weiterentwicklung: AC – TSPC Logik
- Einordnung in die Schaltungstechniken
- Zusammenfassung



Institut für Angewandte Mikroelektronik und Datentechnik  
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Schaltungstechnik und Architekturen

# Bereits vorgestellte Ergebnisse

## 1. Problem: Hoher Stromverbrauch

Lösung:

- a) 3,5 mal besseres Power-Delay-Produkt als statisch CMOS durch neu entwickeltes AC-TSPC
- b) Algorithmus zur Verlustleistungsminimierung von TSPC-Schaltungen in RTL-Ebene

## 2. Problem: Keine Unterstützung bei der Synthese:

Lösung:

- Entwicklung eines Designflusses für TSPC einschließlich der Integration von Algorithmen zur Verlustleistungsreduktion



# Aktueller Stand: dynamische Logik

Low-Power, z.B. 2001:

- Soeleman u.a. „Sub-Domino logic: ultra-low power dynamic sub-threshold digital logic“. Conf. on VLSI Design.
- Patra u.a. „Phase assignment for synthesis of low-power domino circuits“. Electr. Letters.
- Shieh u.a. „Design of low-power domino circuits using multiple supply voltages“. ICECS.

Geschwindigkeit:

- Jung u.a. „Skew-tolerant high-speed (STHS) domino logic“. ISCAS 2001.

Synthese, Test, z.B. 2001:

- Kim u.a. „Domino logic synthesis based on implication graph“. CAD of IC&S, 2002.
- Natarajan u.a. „Switch-level delay test of domino logic circuits“. Test Conference, 2001.

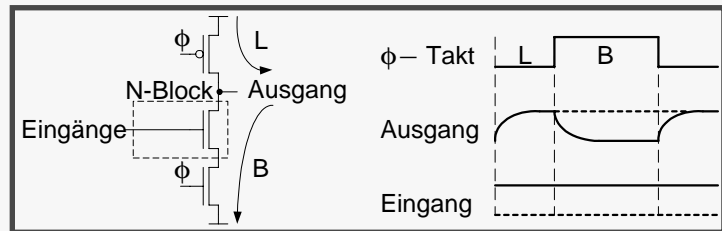
Industrie, z.B. Intel 2001:

- Anders u.a. „Robustness of Sub-70nm Dynamic Circuits: Analytical Techniques and Scaling Trends“. 2001 Symposium on VLSI Circuits.
- Alvandpour u.a. „Conditional Keeper Technique for Sub-0.13 $\mu$ m Wide Dynamic Gates“. 2001 Symposium on VLSI Circuits.



# Rückblick: Dynamische Logiken

- Knoten wird geladen
- Entladung je nach Eingangszustand
- + sehr schnell, da nur N-Transistoren
- Stromverbrauch auch bei konstanten Eingängen möglich



## Verlustleistungsreduktion:

- Verringerung der Kapazitäten, Reduzierung der Spannung usw.
- Verringerung der Taktbelastung
- ➔ Einsatz asynchroner Ideen: z.B. global asynchron – lokal synchron

## ► Unser Ansatz: kürzeste Ketten asynchroner Logik

F. Grassert, D. Timmermann, „Dynamic Single Phase Logic with Self-Timed Stages for Power Reduction in Pipeline Circuit Designs“, ISCAS 2001

F. Grassert, A. Wassatsch, D. Timmermann, „Synthese- und Einsatzmöglichkeiten asynchroner, dynamischer Logiken zur Verlustleistungsreduzierung“, 14. Mikroelektroniktagung 2001



# Warum Latch-freie Strukturen?

➔ Fairer Verlustleistungsvergleich durch Power-Delay-Produkt!

- Großer Anteil des Stromverbrauches in Flipflops
- Rechenzeit wird ‚verschwendet‘

Vergleich:

Ein Gatter

statisch

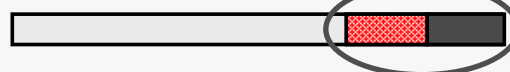


dynamisch

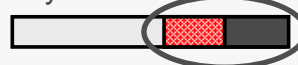


Pipelinestufe

statisch



dynamisch



■ Latches  
 ■ ‚Sicherheiten‘



# Warum Latch-freie Strukturen?

→ Fairer Verlustleistungsvergleich durch Power-Delay-Produkt!

- Großer Anteil des Stromverbrauches in Flipflops
- Rechenzeit wird ‚verschwendet‘

## Ziele:

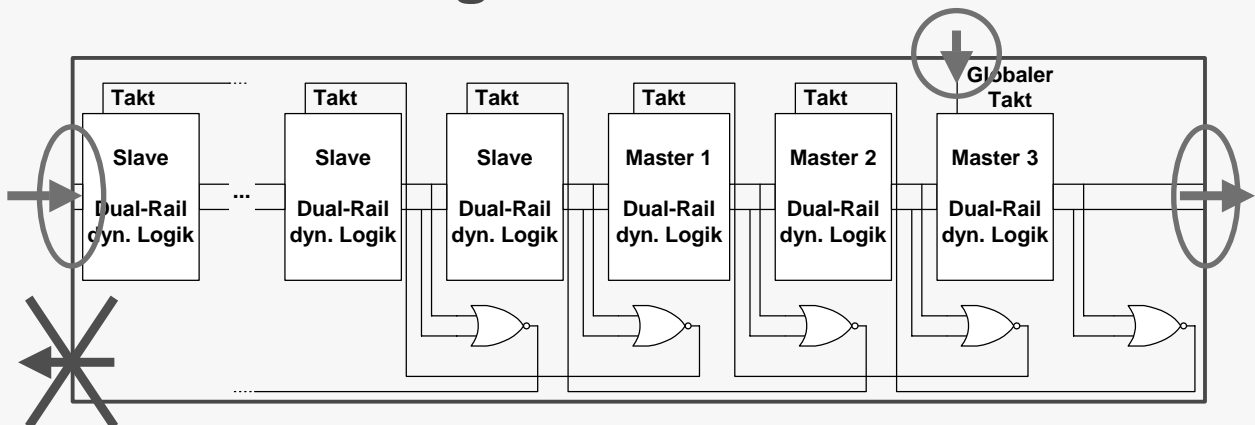
- Ausnutzung der kompletten Taktphase für Berechnung
  - Verbesserung des Power-Delay-Produktes
- Unabhängigkeit gegenüber Taktschwankungen
  - Verlustleistungsreduktion durch geringeren Aufwand im Takt
  - Keine ‚Sicherheiten‘ bei der Dimensionierung notwendig

## Nachteile:

- Erhöhter Aufwand bei der Synthese
- Zusätzliche Gatter für asynchrone Schaltungen



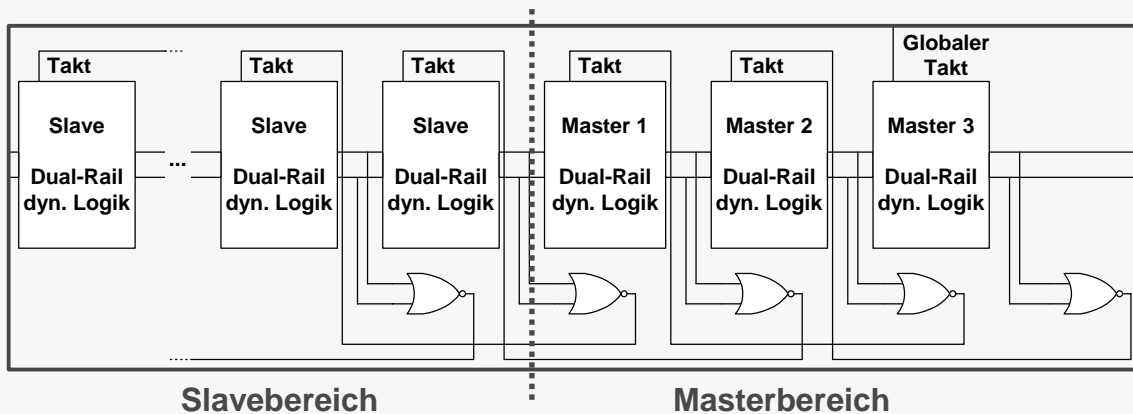
# Verbesserung der AC – TSPC



- **Neu:** nach außen synchroner Block
  - Eingangs- und Ausgangssignale
  - Globales Taktsignal
  - Kein Self-timed Signal über die Blockgrenzen!



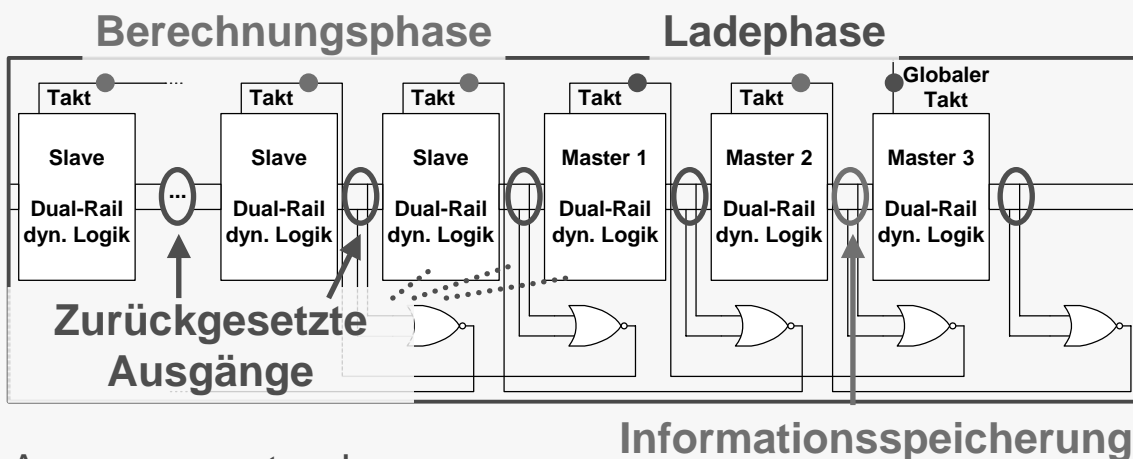
# Verbesserung der AC – TSPC



- **Neu:** Einteilung der Kette in Master- und Slavebereich:
  - Master-Bereich: Zustände abhängig vom globalen Takt
  - Slave-Bereich: Verhalten unabhängig vom globalen Takt



# Funktionsweise AC – TSPC

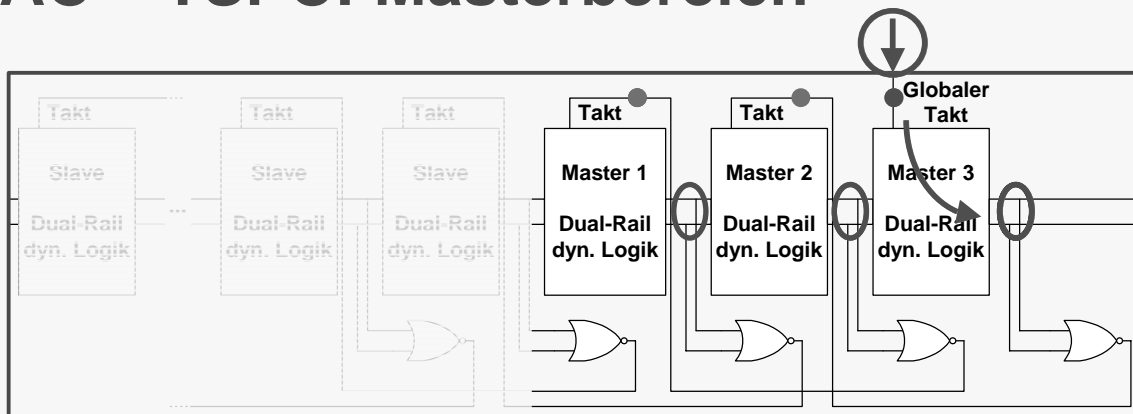


Ausgangszustand:

- Slave-Gatter in Berechnungsphasen mit zurückgesetzten Ausgängen
- Master 1 und 3 in Ladephase mit zurückgesetzten Ausgängen
- Master 2 in Berechnungsphase, Informationsspeicherung auf den Ausgängen



# AC – TSPC: Masterbereich

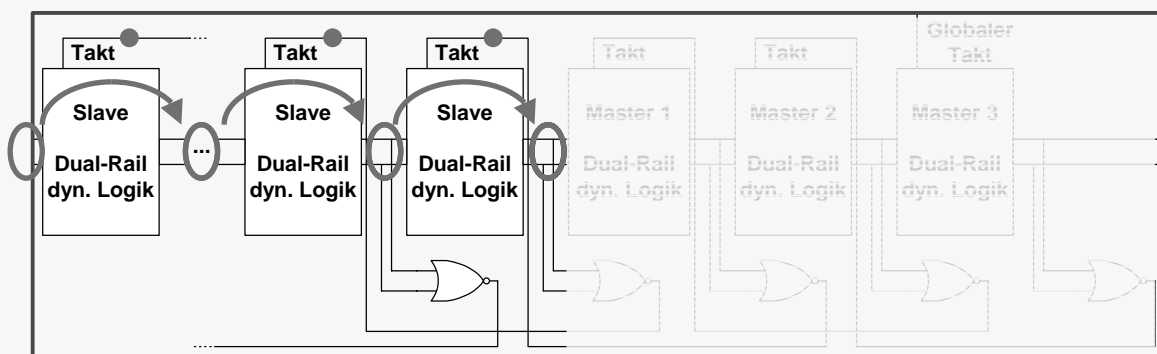


## Globaler Takt – Berechnen / Laden des Mastergatters 3:

- Daten werden weitergegeben
- Master 1 und 2 gehen in Berechnungsphase über
- Master-Gatter kann Information speichern



# AC – TSPC: Slavebereich

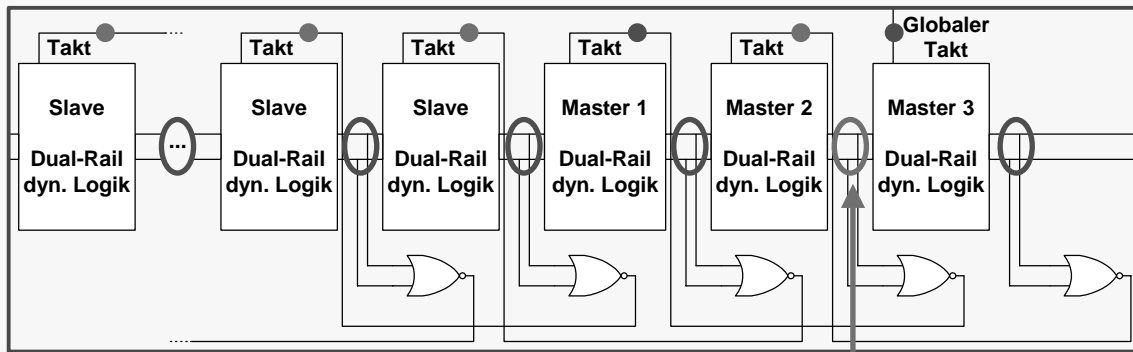


## Eintreffen gültiger Eingangssignale:

- ungehinderte Berechnung der internen Signale, da alle Gatter in Berechnungsphase



# Endzustand



## Informationsspeicherung

### Durchlauf-Ende:

- Herstellung des Ausgangszustandes

➔ Entwicklung einer Beschreibung des Zeitverhaltens



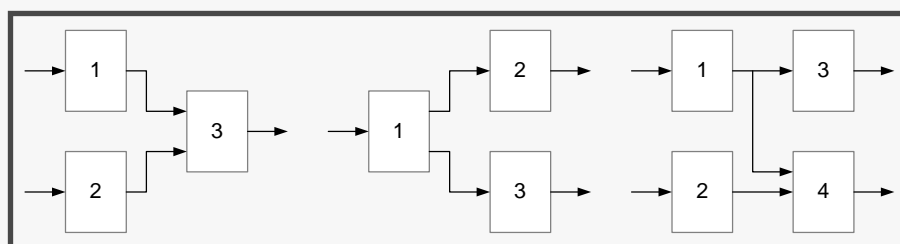
# Berechnung des Zeitverhaltens

## Mögliche Optimierungsziele:

- Optimierung auf minimale Latenzzeit im kritischen Pfad
- Optimierung auf größten möglichen Durchsatz
- Optimierung auf minimalen Stromverbrauch in der Self-timed Logik

## Sicherung der Funktion von parallelen Ketten

- Beachtung unterschiedlicher Laufzeiten bei der Generierung der Self-timed Signale



# Einordnung von AC – TSPC

Mögliche Gruppierungen:



- Statische und dynamische Logiken
  - Unterstützung durch Synthesetools
  - Taktsignal erst durch Flipflops nötig
- Einphasen- und Mehrphasentaktsysteme
  - Unterstützung durch Synthesetools
  - Konstante Phasenlage notwendig
  - Latch-freie Strukturen möglich
- Single- und Dual-Rail Strukturen
  - Geringere Fläche
  - In dynamischen Logiken keine Invertierungen möglich
  - Komplementäre Single-Rail Logik oder differentielle Struktur

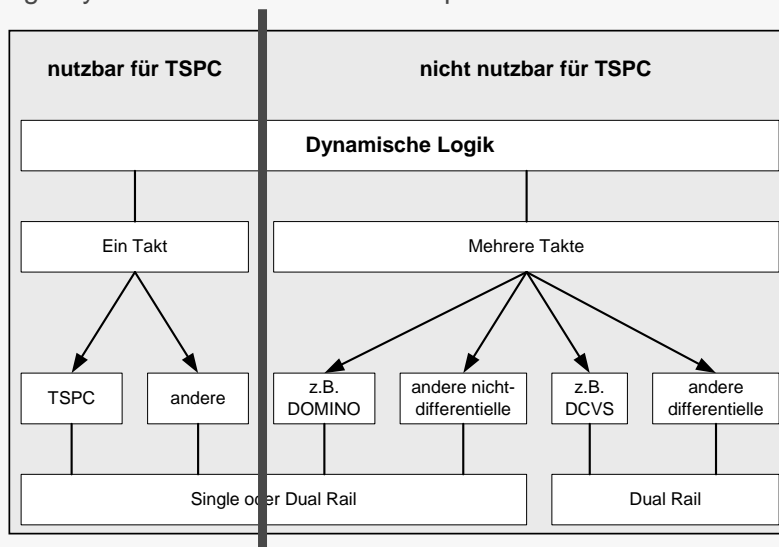
**Ziel!**



# TSPC mit dynamischen Logiken

Warum dynamische Logiken? Schneller!

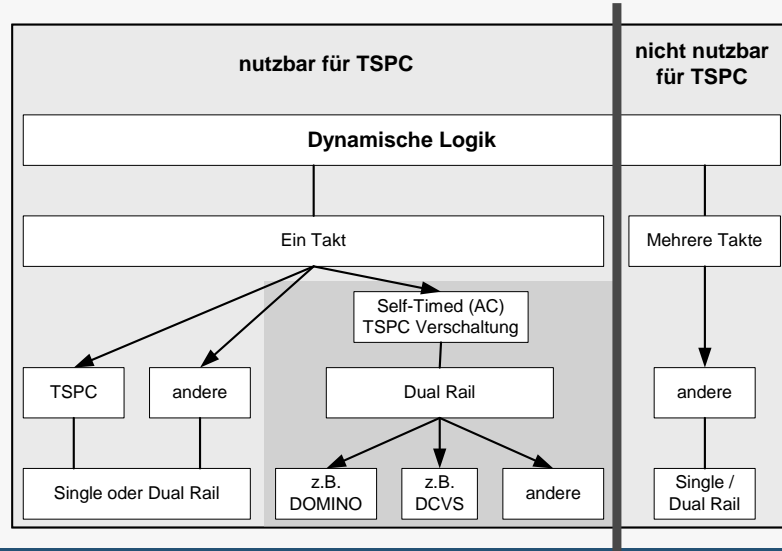
Aber: Aufwändige Synthese → kann durch Einphasentakt erleichtert werden.





# Ziel von AC - TSPC

- Mehr dynamische Logiken mit Einphasentakt einsetzbar
- Bis zu 3,5fach besseres Power-Delay-Produkt gegenüber SCMOS



## Ausblick

Bisher:

- Reduzierung der Verlustleistung bei dynamischen Logiken
  - Verringerung der Taktbelastung
  - Verbesserung des Power-Delay-Produktes durch Latch-freie Struktur

Ziel:

- Reduzierung der Verlustleistung durch Single-Rail ?
- Anwendung im Gebiet der redundanten Arithmetik
  - ➔ Verbesserte Möglichkeiten zur Generierung von Self-timed Signalen
- Architekturuntersuchungen



# Zusammenfassung

- Entwicklung der AC-TSPC Logik
  - F. Grassert, D. Timmermann, „Dynamic Single Phase Logic with Self-Timed Stages for Power Reduction in Pipeline Circuit Designs“, ISCAS 2001
  - F. Grassert, A. Wassatsch, D. Timmermann, „Synthese- und Einsatzmöglichkeiten asynchroner, dynamischer Logiken zur Verlustleistungsreduzierung“, 14. Mikroelektroniktagung 2001
- Einsatz verschiedenster dyn. Logiken im Einphasentakt
- Problem Power:
  - Optimierung des Power-Delay-Produktes durch Latch-freie Struktur
  - Reduzierung des Leistungsverbrauches durch Entlastung des Taktes
- Problem Synthese:
  - Entwicklung einer Beschreibung des Zeitverhaltens zur Automatisierung der Synthese

