

Asynchronous Chain True Single Phase Clock Logik (AC-TSPC)

Frank Grassert und Dirk Timmermann
Institut für Angewandte Mikroelektronik und Datentechnik
Fachbereich Elektrotechnik und Informationstechnik
Universität Rostock
Richard-Wagner-Str. 31, 18059 Rostock
frank.grassert | dirk.timmermann@etechnik.uni-rostock.de

Kurzfassung

Dieser Artikel stellt die Asynchronous Chain True Single Phase Clock (AC-TSPC) Logik vor und erläutert die zeitlichen Abläufe. Zur Einordnung in das Gebiet der Schaltungstechniken bezüglich der Eigenschaften sowie der Vor- und Nachteile werden grundsätzliche Ansätze für einen Vergleich gegeben. Die AC-TSPC Logik wird mit statischem CMOS verglichen und erreicht dabei ein bis zu 3,5-fach besseres Power-Delay-Produkt.

1. Einführung

Dynamische Schaltungstechniken, mit denen die schnellsten Gatter realisiert werden können, haben bei höchsten Durchsatzraten häufig den Nachteil eines überdimensionalen Stromverbrauches. Die Geschwindigkeit basiert auf der Tatsache, dass die logische Funktion lediglich durch die schnelleren N-Kanal-Transistoren aufgebaut werden kann. In jedem Taktzyklus wird ein Knoten auf einen definierten Wert geladen, der dann z.B. durch eine N-Logik abhängig von den Eingangsdaten entladen wird. Der Nachteil ist, dass es trotz stabiler Eingänge keinen statischen Zustand geben muss und daher in jedem Taktzyklus Leistung verbraucht wird. Für kritische Datenpfade wird dieser Kompromiss in Kauf genommen und es werden Schaltungstechniken wie DOMINO Logik [1] verwendet.

Ein weiterer Nachteil der dynamischen Logiken ist, dass invertierende Funktionen schlecht zu realisieren sind und dadurch häufig ein komplementärer Aufbau gewählt werden muss [2, 3, 4]. Durch diesen wird der Stromverbrauch noch weiter erhöht, da hier definitiv einer der beiden Knoten umgeladen wird. Nachteilig ist ebenfalls die extrem hohe Taktbelastung, die in einer aufwendigen Taktgenerierung resultiert.

Um eine Schaltungstechnik einschätzen zu können, werden Vergleiche mit bekannten Logiken gezogen. Wurden die Logiken mit verschiedenen Zielsetzungen entworfen, muss dabei sehr genau differenziert werden. Im Folgenden wird daher zunächst auf grobe Eingruppierungen von Schaltungstechniken eingegangen. Danach erfolgt eine Diskussion der

Parameter, die zu einem fairen Vergleich vor allem zwischen Logiken unterschiedlicher Gruppen beachtet werden sollten. Weiterhin wird die Funktionsweise der AC-TSPC Logik beschrieben, um sie dann nach den aufgestellten Punkten mit anderen Schaltungen zu vergleichen. Am Ende werden die wichtigsten Ergebnisse zusammengefasst.

2. Gruppierung von Schaltungstechniken

Für einen Vergleich von Schaltungstechniken müssen zunächst verschiedene grundlegende Kriterien herangezogen werden.

Statische und dynamische Logiken

Häufig erfolgt eine Einordnung in statische und dynamische Schaltungstechniken. Bei dynamischen Schaltungstechniken ist grundsätzlich ein Taktsignal erforderlich, welches die Logik in Lade- und Berechnungsphase versetzt. Dadurch kann ein Knoten in jedem Takt auf einen definierten Pegel gebracht werden und eine Umladung erfolgt während der Berechnung abhängig vom Eingangszustand. Die Einteilung in statische und dynamische Logiken ist somit eine funktionelle Unterscheidung.

Einphasen- und Mehrphasentaktsysteme

Eine weitere Gruppierung kann nach der Anzahl der benötigten Takte oder Taktphasen erfolgen. Einphasentaktsysteme bieten starke Vorteile bei der Verteilung des Taktes im System. Da das Taktsignal häufig die größte Aktivität aufweist, muss ihm beim Entwurf einer Schaltung auch besonders große Aufmerksamkeit gewidmet werden. Einphasentaktsysteme erleichtern den Entwurf großer Schaltungen und werden von den Synthesetools sehr gut unterstützt, weshalb sie den Mehrphasentaktsystemen vorzuziehen sind. Die benötigte Anzahl von Takten oder verschiedenen Taktphasen ist keine direkte Differenzierung der Schaltungstechniken, es unterscheidet die Verwendung in größeren, getakteten Systemen. So kann dieselbe Schaltungstechnik mit einer unterschiedlichen Anzahl von Takten betrieben werden.

Single- und Dual-Rail Strukturen

Eine andere Unterteilungsmöglichkeit von Schaltungstechniken ist die Einordnung in Single- und Dual-Rail Logiken. Bei Single-Rail Logiken wird jedes Signal mit einer Leitung oder einem Knoten repräsentiert. In Dual-Rail Logiken wird zu jedem Signal auch ein invertiertes Signal erzeugt. Dies erleichtert vor allem bei dynamischen Logiken den Aufbau von größeren Strukturen.

Abbildung 1 zeigt die Unterteilung der dynamischen Schaltungstechniken nach den anderen zwei Kriterien. Aus diesen Gruppierungen heraus lassen sich nicht zwangsweise weitere Eigenschaften der Schaltungstechniken ableiten. So gelten dynamische Logiken als verlustleistungskritisch. Bezieht man die Verlustleistung jedoch auf die Geschwindigkeit, z.B. durch das Power-Delay-Produkt, so gilt diese Aussage häufig nicht mehr. Zum direkten Vergleich von Schaltungstechniken müssen daher noch andere Parameter hinzugezogen werden.

3. Vergleich von Schaltungstechniken

Werden zwei Logiken miteinander verglichen, so kann zunächst eine Einordnung in die oben genannten Gruppen erfolgen. Als weitere Parameter für einen Vergleich können zudem die Größe der Gatter, die Gattergeschwindigkeit, die Latenzzeit einer Verschaltung, die Taktfrequenz einer Verschaltung, die Unempfindlichkeit gegenüber Taktschwankungen und der Stromverbrauch genommen werden.

Größe

Zum Größenvergleich zweier Logiken wird die Transistoranzahl der gleichen logischen Funktion benutzt. Dabei haben dynamische Logiken häufig einen erheblichen potentiellen Vorteil, da die ausschließliche Verwendung von N-Transistoren die Transistoranzahl beinahe halbiert und außerdem die Fläche minimal gehalten wird, da keine größeren P-Transistoren verwendet werden. Bei diesem Größen-

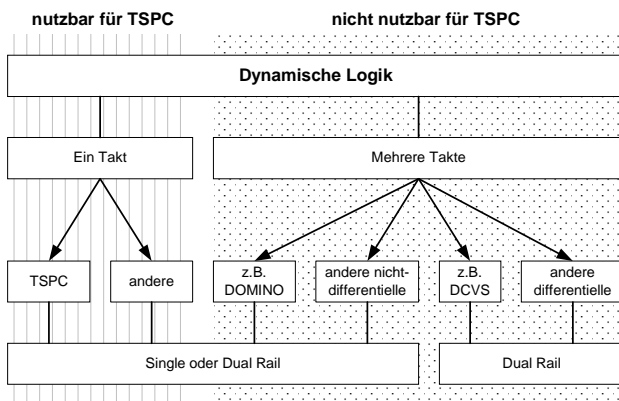


Abbildung 1: Einordnung dynamischer Schaltungstechniken

vergleich sind die dynamischen Logiken stark im Vorteil, da nicht auf die Verkettung eingegangen wird. Statische Logiken können einfach verknüpft werden, bei dynamischen Logiken besteht häufig das Problem, dass keine invertierenden Funktionen aufgebaut werden können (z.B. DOMINO). Für umfangreiche Schaltungen ist es nicht sinnvoll, eine Netzliste zu bilden, die keine internen Negationen enthält. Es können leicht abgeänderte dynamische Logiken verwendet werden, bei denen aber wiederum P-Transistoren Anwendung finden. Häufig werden dynamische Schaltungen jedoch als Dual-Rail Struktur aufgebaut. Damit ist der potentielle Flächenvorteil gegenüber statischer Logik aufgehoben. Weiterhin müssen vielfach mehrere Taktphasen verwendet werden, womit der Platzbedarf in den Taktbaum verschoben wird, der bei einem einfachen Vergleich jedoch nicht herangezogen wird.

Gattergeschwindigkeit

Bei der Gattergeschwindigkeit können die Laufzeiten direkt verglichen werden. Dynamische Logiken sind dabei aufgrund der N-Transistoren schneller. Aber dieser Wert ist kein absolutes Maß für die Geschwindigkeit bei einer größeren Schaltung.

Latenzzeit

Die Latenzzeit wird durch die Laufzeit der Signale von den Eingängen bis zum Ausgang bestimmt. Bei einer Verknüpfung von Gattern ist sie daher abhängig von der Taktfrequenz und von allen zusätzlich für die Funktion der Schaltungstechnik benötigten Komponenten. So enthält sie die Laufzeit durch Register wie auch Verzögerungszeiten, z.B. um eine Funktion bei Taktschwankungen sicherstellen zu können. Bei minimalen Latenzzeiten ist entsprechend mehr Logik zwischen den Registern und die Taktfrequenz ist niedrig.

Taktfrequenz

Bei hohen Taktfrequenzen zeigt sich, wie gut eine Schaltungstechnik für Pipelining geeignet ist. Trotz geringer Gatterlaufzeiten kann eine aufwendige Verschaltung das Erhöhen der Taktfrequenz verhindern. Mit steigender Taktfrequenz steigt der Durchsatz, die Latenzzeit wird jedoch größer. Zusätzlich steigt der relative Anteil der Registerlaufzeiten und Wartezeiten, um die Funktion auch bei Taktschwankungen sicherzustellen.

Clock-Skew

Im Zusammenhang mit der Taktfrequenz ist die Empfindlichkeit gegenüber Taktschwankungen und anderen äußeren Einflüssen, die zum nichtidealen Verhalten führen, sehr wichtig. Bei groben Abschät-

zungen wird die Anfälligkeit gegenüber Taktschwankungen nicht einbezogen. Bei einer Realisierung kann diese jedoch zu hohem Aufwand bei der Takterzeugung als auch zu niedrigeren Taktraten führen. Asynchrone und Self-timed Schaltungen oder Aufbauten mit Latches haben einen großen Vorteil gegenüber Flipflops, da sie nicht zwangsweise auf eine Taktklanke reagieren. Ebenso eignen sich Mehrphasentaktsysteme [5].

Verlustleistung

Bei einem Vergleich des Stromverbrauchs zweier Gatter müssen ebenfalls Komponenten mit einbezogen werden, die sich aufgrund einer Verschaltung oder aber durch die Takterzeugung ergeben. Die statische und dynamische Stromaufnahme sind daher nur bedingte Vergleichswerte zweier Logiken.

Schlussfolgerungen

Bei einem Vergleich zweier Schaltungstechniken kann durch die grobe Gruppierung ein Anhaltspunkt für den Einsatzbereich gefunden werden. Unterscheiden sich die Logiken bereits in diesem Punkt grundsätzlich, so ist der Vergleich nur sehr bedingt aussagekräftig.

Für schnellste Schaltungen kommen vorwiegend dynamische Schaltungstechniken in Frage, da hier das größte Potential aufgrund der geringen Gatterlaufzeiten zu finden ist. Durch extremes Pipelining wird die Latenzzeit erhöht, die Durchsatzrate kann jedoch maximal werden.

Mehrere Takte oder Taktphasen kommen nicht in Frage, wenn die Synthese möglichst einfach gehalten werden soll. Die Konstanz zwischen verschiedenen Taktphasen ist entscheidend und muss an allen Stellen des Designs gleich sein. Der Platzbedarf bei einem Einphasentaktsystem ist jedoch ähnlich hoch, vor allem bei Designs mit hohem Durchsatz. Dynamische Logiken besitzen aufgrund ihres Aufbaus die höchste Taktbelastung.

Fällt die Entscheidung auf eine dynamische Logik mit einem Einphasentaktsystem, so sind die Nachteile zum einen häufiger Platzbedarf aufgrund einer Dual-Rail Struktur, zum anderen die hohe Taktbelastung und der resultierende Platzbedarf für den Takt. Außerdem ist der Stromverbrauch hoch, sowohl in den Gattern (Dual-Rail), als auch im stark belasteten Takt. Der Vorteil ist die hohe Geschwindigkeit.

4. AC-TSPC

In [6] wurde die AC-TSPC Logik vorgestellt. Sie beschreibt eine Technik, die die Anzahl der dynamischen Schaltungstechniken, die mit einem Einphasentaktsystem betrieben werden können, vergrößert (Abbildung 2). Dieser Ansatz setzt voraus, dass kurze

selbstgetaktete Ketten aufgebaut werden, bei denen die Laufzeitunterschiede zwischen parallelen Gattern nur sehr gering sind. Vordere Gatter werden durch Signale getaktet, die aus den Ausgangsdaten der nachfolgenden Gatter gewonnen werden. Am Ende der Ladephase eines Gatters haben beide Ausgänge denselben Pegel. Am Ende der Berechnungsphase jedoch sind die Ausgänge definitiv komplementär zueinander. Mit Hilfe dieser Information kann das vorherige Gatter in die Ladephase versetzt werden, wenn gültige Ausgänge anliegen, da die Eingänge nicht mehr benötigt werden. Umgekehrt wird das vorherige Gatter in die Berechnungsphase gesetzt, wenn die Ausgänge zurückgesetzt sind, da eine neue Berechnung stattfinden kann [7].

Der Kernpunkt von AC-TSPC ist die Integration solcher Ketten in einen Einphasentaktsystem. Dabei wird ein Gatter mit dem globalen Takt betrieben und die Funktion der Kette kann durch Einhaltung von bestimmten Zeitparametern sichergestellt werden.

Neben den erweiterten Möglichkeiten bei der Wahl von dynamischen Logiken reduziert ein solcher Ansatz den Stromverbrauch im Takt stark, da nicht mehr alle dynamischen Gatter an den globalen Takt angeschlossen werden. Außerdem verteilt sich der Stromverbrauch einheitlicher auf der Zeitachse, so dass Probleme wie EMV und Elektromigration reduziert werden. Die Taktfrequenz ist allerdings geringer als bei einem stärker gepipelineten Aufbau. Ein erheblicher Vorteil ist die Möglichkeit, die Taktperiode vollständig für die Berechnung nutzen zu können, ohne zusätzliche Zeitspannen für Latches oder Flipflops einrechnen zu müssen [7]. Weiterhin ist der Aufbau nicht abhängig von einer Taktklanke und somit weitaus flexibler bei Taktschwankungen. Durch diese Tatsachen wird der zusätzliche Flächenverbrauch reduziert (keine Latches, Flipflops) und die Latenzzeit optimiert. Verbesserungen beim Stromverbrauch können in der Logik nicht erzielt werden, da durch die Self-timed Signalgenerierung ein Dual-Rail Aufbau vorgeschrieben wird.

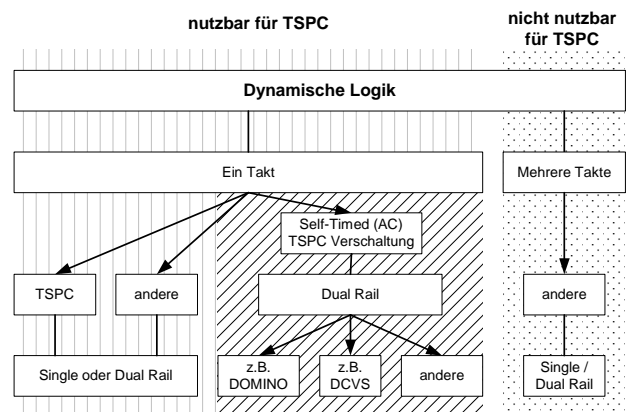


Abbildung 2: Einordnung der AC-TSPC Logik

5. Funktionsweise der AC-TSPC Logik

Die Beschreibung des Zeitverhaltens der AC-TSPC Logik bildet die Grundlage für das Verstehen der Funktion. Abbildung 3 zeigt den schematischen Aufbau. Es werden drei Master-Gatter definiert, die das Ende einer Kette bilden und die Information bis zum Eintreffen des globalen Taktes halten. Das letzte Master-Gatter wird mit dem globalen Takt betrieben. Vor den Master-Gattern liegt eine unbestimmte Anzahl von Slave-Gattern, die je nach Länge der Kette variieren kann. Die Berechnungszeit durch die Slave-Gatter wird durch keine äußeren Einflüsse behindert, erst beim Übergang der Information in die Master-Gatter kann eine Verzögerung stattfinden.

Ausgangszustand

Zur Funktionsbeschreibung der Kette kann von einem Ausgangszustand ausgegangen werden, bei dem sich alle Slave-Gatter im zurückgesetzten Zustand in der Berechnungsphase befinden, jedoch keine gültigen Ein- und Ausgänge anliegen. Das global getaktete Master-Gatter ist ebenfalls zurückgesetzt und befindet sich in der Ladephase, da der globale Takt auf einem Low-Pegel ist. Das davor liegende Gatter befindet sich in der Berechnungsphase und hat gültige Ausgänge. An dieser Stelle wird die Information in der Kette gespeichert. Das erste Master-Gatter befindet sich in der Ladephase und ist bereits zurückgesetzt.

Durchlauf

Mit dem Eintreffen des Taktsignals beginnt die Berechnung durch die Kette. Der Taktpegel wechselt in den High-Zustand und das letzte Master-Gatter wird in die Berechnungsphase gesetzt. Die Eingänge sind gültig, da hier die Information gespeichert wurde, und die Berechnung startet sofort. Liegen die gültigen Ausgänge an, so können zwei getrennte Abläufe betrachtet werden. Zum einen läuft die Information ungebremst durch die Slave-Gatter. Die Information wird in jeder Stufe verarbeitet, da sich die Gatter bereits in der Berechnungsphase befinden und nur auf gültige Eingänge warten. Gleichzeitig werden die durchlaufenen Gatter selbständig zurückgesetzt.

Zum anderen erfolgt ein Zurücksetzen der Mas-

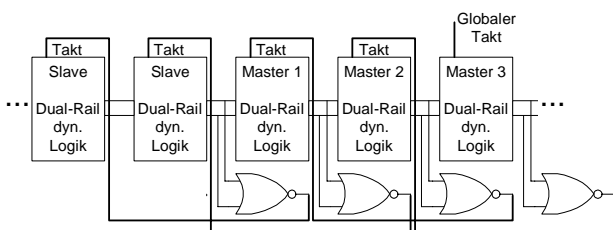


Abbildung 3: Aufbau der AC-TSPC Logik

ter-Gatter. Das vorletzte Gatter wird in die Ladephase versetzt und nach dem Zurücksetzen der Ausgänge geht das erste Master-Gatter in die Berechnungsphase. Entsprechend startet das zweite Master-Gatter die Berechnungsphase, wenn das global getaktete Gatter seine Ausgänge zurückgesetzt hat.

Die Informationen der Slave-Gatter werden von dem ersten Master-Gatter übernommen und bis zum zweiten Master-Gatter weitergereicht, wo sie bis zum Eintreffen einer neuen Taktflanke gespeichert bleiben. Ein kompletter Zyklus ist somit abgeschlossen.

Bei optimaler Dimensionierung läuft die Information ohne Verzögerungen durch Flipflops oder Latches und ohne Wartezeiten aufgrund von Self-timed Logiken durch die Kette. An den Master-Gattern könnte die Information aufgehalten werden, wenn der Informationsfluss des Zurücksetzens langsamer ist als der durch die Slave-Gatter.

Der so erhaltene Aufbau ist nach außen vollständig synchron, keine Self-timed Signale werden über die Blockgrenzen hinaus übertragen.

Parallele Gatter

Die internen Signalabläufe werden komplexer mit zunehmender Länge und bei parallelen Gattern innerhalb der Kette. Abbildung 4 zeigt die möglichen Varianten für eine Signalverknüpfung. Da bei zu großen zeitlichen Unterschieden keine Funktion mehr gewährleistet werden kann, ist eine Anpassung der Ladephasen von parallelen Gattern in einem Block notwendig. Dies ist problematisch, da bei keinem Gatter die Ladephase zu früh beginnen darf (die Berechnung muss abgeschlossen sein) und die Ladephase nicht zu früh enden darf (die Ladezeit muss sichergestellt sein). Ein weiteres Ziel ist, dass die Berechnungszeit des kritischen Pfades optimal bleibt und demnach ausschließlich durch die Berechnungszeiten der Logiken bestimmt wird.

In Abbildung 4a werden zwei Signalwege zu einem zusammengeführt. Dies tritt sehr häufig in Datenpfaden auf, da meist mehrere Eingangssignale zu einem Ausgangssignal verknüpft werden. Um eine Funktion der Self-timed Kette zu gewährleisten, müssen die Gatter 1 und 2 ihre Berechnungen beendet haben, bevor das Gatter 3 die Gatter 1 und 2 in die Ladephase versetzt. Nur so können die weiter vorne liegenden Gatter der beiden Ketten in die Ladephase versetzt werden. Trifft das Signal zum Auf-

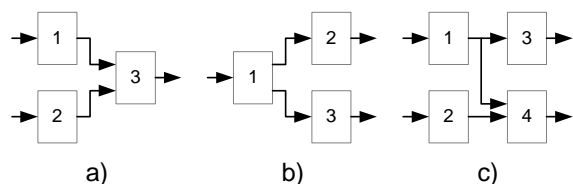


Abbildung 4: Verknüpfungen paralleler Pfade

laden zu früh bei einem der Gatter 1 und 2 ein, würde sich der Pfad nicht ordnungsgemäß zurücksetzen und nicht mehr funktionieren.

Im Fall b) trennt sich ein Signalpfad in zwei unabhängige Pfade auf. Hier darf das Gatter 1 nur von dem langsameren der Gatter 2 und 3 in die Ladephase versetzt werden, da ansonsten die Eingangssignale zu früh verloren gegangen sein könnten. Andererseits darf das schnellere der Gatter von 2 oder 3 nicht in einen nächsten Berechnungszyklus eintreten, wenn das Gatter 1 noch nicht wieder geladen ist. Als eine Lösung kann ein kombiniertes Steuersignal anhand der Ausgänge von Gatter 2 und 3 gebildet werden, um das Gatter 1 nur zurückzusetzen, wenn beide folgenden Gatter fertig sind.

Fall c) ist die Verallgemeinerung des Falls a), wobei neben der Zusammenführung zusätzlich die zweite weiterführende Kette in Betracht gezogen werden muss.

Existieren bei der Berechnung des Zeitverhaltens Problemstellen, so muss durch ein Angleichen der Gatterlaufzeiten und durch eine Verzögerung der schnellsten Signalwege die Bedingung der geringen Laufzeitunterschiede wieder hergestellt werden. Dies kann auf verschiedenen Wegen erfolgen: Zum einen können gleiche Gatter für unterschiedliches fanout dimensioniert und zum anderen können Buffer in Signalwegen zur einfachen Verzögerung eingesetzt werden.

6. Vergleich der Schaltungstechnik

Durch die synchronen Blöcke lässt sich diese Technik in die Gruppe der TSPC-Schaltungstechniken einordnen, wenn man die Ketten als größere Gatter mit komplexerer Funktion betrachtet. AC-TSPC gehört weiterhin in die Gruppe der dynamischen Logiken, denn dies war das Ziel bei der Entwicklung. DOMINO-Logik steht dabei als sehr geeignet im Vordergrund. Durch den Self-timed Aufbau gehört AC-TSPC außerdem zu den Dual-Rail Logiken.

Größe

Der Platzbedarf der AC-TSPC Logik mit DOMINO-Gattern ist auf Grund des Dual-Rail Aufbaus groß. Verglichen mit statischer CMOS-Logik werden keine P-Kanal-Transistoren für die Logik benötigt, dafür aber etwa doppelt so viele N-Kanal-Transistoren. Hinzu kommen pro DOMINO-Gatter jeweils ein getakteter P- und ein N-Transistor und der Inverter. Außerdem kommen noch die Logiken zum Generieren der Self-timed Signale hinzu (im schlechtesten Fall eine Logik pro Gatter). Andererseits muss aber auch die Tatsache Beachtung finden, dass keine Logik für Register verwendet wird.

Gattergeschwindigkeit

Die Gattergeschwindigkeit der AC-TSPC Logik ist von der verwendeten dynamischen Logik abhängig. Durch die zusätzliche Belastung der Ausgänge mit der Self-timed Logik sinkt die Geschwindigkeit leicht oder führt zu einer größeren Dimensionierung.

Latenzzeit und Taktfrequenz

Aufgrund der begrenzten minimalen Kettenlänge ist diese Logik nicht für maximale Durchsatzraten geeignet. Da jedoch bei optimaler Dimensionierung keine Verzögerung des kritischen Pfades stattfindet, ist die Latenzzeit sehr gering. Durch die Wahl der Kettenlänge kann das Verhältnis zwischen erforderlicher Taktfrequenz und Latenzzeit in weiten Bereichen frei gewählt werden. Die Wahl einer anderen dynamischen Schaltungstechnik als DOMINO-Logik kann diese Vorteile noch unterstützen.

Clock-Skew

Die AC-TSPC Schaltung ist nicht abhängig von einer Taktflanke und daher flexibel gegenüber Taktschwankungen. Trifft die Flanke verzögert ein, so beginnt die Berechnung verzögert, die Informationen werden jedoch vor dem letzten Master-Gatter bis zum Eintreffen der Flanke gespeichert. Trifft die Flanke vorzeitig ein, so ist der Berechnungsbeginn abhängig vom Eintreffen der Eingangssignale am letzten Master-Gatter. Ist die High-Phase des Taktes genügend lang, so wird die Funktion nicht beeinträchtigt. Daher ist es denkbar, dass der Rückstand eines Blockes im nächsten Block aufgeholt wird. In welchen Grenzen diese Möglichkeiten liegen, muss von Fall zu Fall abgeschätzt werden.

Verlustleistung

Für die AC-TSPC Logik ist es wichtig, dass die Stromaufnahme in zwei wesentliche Bereiche aufgeteilt wird: den Leistungsverbrauch aufgrund von Signalwechseln interner Knoten der Logik und den Verbrauch durch den Takt.

Da bei einem Dual-Rail Aufbau mit dynamischer Logik in jedem Taktzyklus definitiv einer der zwei Knoten der komplementären Gatter umgeladen wird, ist der Stromverbrauch der Logik hoch. Hinzu kommt die Leistungsaufnahme durch die zusätzliche Self-timed Logik. Verglichen mit anderen dynamischen Schaltungstechniken ist dies kein Nachteil, denn auch hier werden häufig Dual-Rail Strukturen verwendet, bei denen der Stromverbrauch ähnlich ist. Ein Vorteil der AC-TSPC Logik ist, dass die Stromspitzen reduziert werden, da die Anzahl der sich gleichzeitig in der Berechnung befindlichen Gatter gesenkt wird.

Eine asynchrone Verknüpfung aufeinanderfolgender Stufen entlastet den globalen Takt stark. Durch diese Entlastung vereinfacht sich die Verteilung des Taktes und der nötige Aufwand zur Signalverstärkung wird reduziert. Dieser Vorteil macht sich jedoch nur im Vergleich mit anderen dynamischen Schaltungstechniken bemerkbar, nicht jedoch gegenüber der Standard-CMOS-Technik, da sich dort Logikblöcke mit Registern abwechseln und jeweils nur die Register den Takt belasten.

Für einen fairen Vergleich des Leistungsverbrauchs zweier unterschiedlicher Schaltungstechniken muss die Geschwindigkeit mit der Stromaufnahme in Relation gesetzt werden. Dazu wird das Power-Delay-Produkt verwendet, wobei die Abarbeitungsgeschwindigkeit eines Befehls oder einer Schaltung mit der in dieser Zeit verbrauchten Leistung multipliziert wird.

Leistungsvergleich mit statischem CMOS

Hier ist zunächst die Zielrichtung der Logik die entscheidende Frage. AC-TSPC ist für höhere Durchsatzraten geeignet, da sich dann der Wegfall der Registerlaufzeiten am deutlichsten zeigt und minimale Latenzzeiten erzielt werden. Dies entspricht nicht dem Einsatzgebiet der statischen CMOS-Technik, da stark gepipelined Designs nur wenig Logik zwischen den Registern zulassen und der relative Anteil der Registerlaufzeit zunimmt. Die Ergebnisse sind daher nur begrenzt aussagekräftig.

Bei dem Vergleich wurde von den maximal erreichbaren Taktfrequenzen ausgegangen. Mit statisch CMOS wird eine 1,6-fach höhere Durchsatzrate als bei der AC-TSPC Logik mit einer Kettenlänge von 5 Stufen erreicht. Allerdings hat statisches CMOS dann eine Latenzzeit von 5 Takten. Bei gleicher Durchsatzrate werden noch 3 Takte benötigt, da die dynamischen Gatter etwa doppelt so schnell sind und zusätzlich Register eingefügt werden müssen. Die Latenzzeiten von statisch CMOS unterscheiden sich bei diesen Aufbauten. Jedoch liegt der Verbrauch bei höherer Taktrate ebenfalls höher, weshalb sich dieser Unterschied im Power-Delay-Produkt kaum zeigt.

Der Platzbedarf lässt sich nur abschätzen, wobei ein Register und ein Gatter bei statischem CMOS ca. zwei komplementären DOMINO-Gattern und einer Self-timed Logik bei AC-TSPC gegenüberstehen.

Die Flexibilität gegenüber Taktschwankungen wird bei statischem CMOS dadurch erreicht, dass der Taktzyklus zur Sicherheit größer als die maximale Berechnungszeit gewählt wird. AC-TSPC kann ohne diese Überdimensionierung flexibel reagieren.

Der Stromverbrauch im Logikteil der AC-TSPC liegt über dem der statischen CMOS Logik. Im Bereich des Taktes ist der Verbrauch ähnlich, je nach

Anzahl der verwendeten Register bei statisch CMOS.

Bei einem Vergleich des Power-Delay-Produktes ergibt sich nun aufgrund der wesentlich besseren Latenzzeit bei gleicher Durchsatzrate ein um bis zu 3,5-fach besseres Power-Delay-Produkt.

Tabelle 1: Vergleich von Standard-CMOS und asynchroner dynamischer Logik anhand der relativen Ergebnisse einer simulierten Multipliziererstufe

	Statisch-CMOS	AC-TSPC
Min. Zykluszeit	1	1,64
Min. Latenzzeit	1	0,33
Latenzzeit bei 3.6ns	1	0,2
Verbrauch der Logik	1	1,43
Verbrauch des Taktes	1	1,1
Power-Delay-Produkt	1	0,28

7. Zusammenfassung

Die AC-TSPC Logik ist eine leistungsfähige Schaltungstechnik, deren Vorteil aufgrund der nicht benötigten Register und der optimalen Berechnungszeit des kritischen Pfades eine kleine Latenzzeit ist. Die Verwendung der AC-TSPC Logik wird durch die Überprüfung der Funktion mit Hilfe der entwickelten mathematischen Beschreibung möglich. Weiterhin wird der Stromverbrauch im Vergleich zu anderen dynamischen Logiken durch die Entlastung des Taktes stark gesenkt. Im Vergleich zu statischem CMOS ist das Power-Delay-Produkt bei einer leicht geringeren maximalen Durchsatzrate um bis zu 3,5 mal besser. Weiterführend soll diese Schaltungstechnik den Ausgangspunkt für eine dynamische Single-Rail Logik bilden, wodurch sich noch weitere Verbesserungen der Verlustleistung ergeben würden.

8. Referenzen

- [1] R. H. Krambeck, C. M. Lee and H.-F. S. Law, *High-Speed Compact Circuits with CMOS*. IEEE Journal of Solid-State Circuits, Vol. SC-17, No. 3, June 1982.
- [2] L. G. Heller, W. R. Griffin, J. W. Davis and N. G. Thoma, *Cascode Voltage Switch Logic: A Differential CMOS Logic Family*. Proceedings IEEE International Solid-State Circuits Conference, 1984, pp. 16-17.
- [3] D. Somasekhar and K. Roy, *LVDCSL: A High Fan-In, High-Performance, Low-Voltage Differential Current Switch Logic Family*. IEEE Transactions on VLSI Systems, Vol. 6, No. 4, December 1998.
- [4] J. Park, J. Lee and W. Kim, *Current Sensing Differential Logic: A CMOS Logic for High Reliability and Flexibility*. IEEE Journal of Solid-State Circuits, Vol. 34, No. 6, June 1999.
- [5] D. Harris and M. A. Horowitz, *Skew-Tolerant Domino Circuits*. IEEE Journal of Solid-State Circuits, Vol. 32, No. 11, November 1997.
- [6] F. Grassert, D. Timmermann, *Dynamic Single Phase Logic with Self-timed Stages for Power Reduction in Pipeline Circuit Designs*, ISCAS, May, 2001.
- [7] T. E. Williams and M. A. Horowitz, *A Zero-Overhead Self-Timed 160-ns 54-b CMOS Divider*. IEEE Journal of Solid-State Circuits, Vol. 26, No. 11, November 1991.