

TSPC-Schaltungstechniken für niedrige Leistungsaufnahme

Schaltungstechnik und Architekturen für mobile digitale Signalverarbeitung mit drahtloser Kommunikation bei niedrigster Leistungsaufnahme

F. Grassert, A. Wassatsch, D. Timmermann

Übersicht

- Grundlagen dynamischer Schaltungstechniken
- Ergebnisse für die Reduzierung der Verlustleistung
- Eingliederung in das Gesamtvorhaben
- Zusammenfassung

Dynamische Logik

Einsatz:

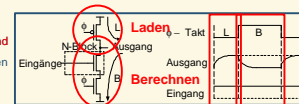
- Highend Chips
 - z.B. Gronowsky u.a. „High-performance microprocessor design“, JSSC 1998
 - z.B. Posluszny u.a. „Design methodology for a 1.0 GHz Microprocessor“, ICCD 1998
- Schnellste Logiken
 - z.B. Harris, Horowitz „Skew-Tolerant Domino Circuits“, ISSCC 1997
 - z.B. Yee, Sechen, „Clock-Delayed Domino for Dynamic Circuit Design“, Trans. On VLSI Systems 2000

Nachteil:

- Hoher Stromverbrauch
- Aufwendiges Design, da keine Unterstützung durch Tools

Eigenschaften der TSPC* Logik

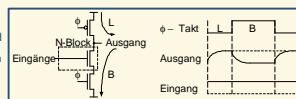
- Knoten wird geladen
- Entladung je nach Eingangszustand
- + sehr schnell, da nur N-Transistoren
- Stromverbrauch auch bei konstanten Eingängen möglich



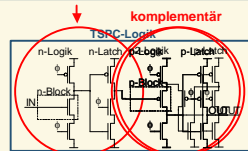
*True Single Phase Clock

Eigenschaften der TSPC* Logik

- Knoten wird geladen
- Entladung je nach Eingangszustand
- + sehr schnell, da nur N-Transistoren
- Stromverbrauch auch bei konstanten Eingängen möglich



- komplementäre Anordnung
- auch N2-Logik statt P-Logik
- + geeignet für Standardzellen-Entwurf
- Taktbelastung hoch
- Takt nach längster Berechnungszeit



*True Single Phase Clock

Ansätze zur Verlustleistungsreduktion

Allgemein:

- Verringerung der Kapazitäten, Reduzierung der Spannung usw.

Dynamische Logik:

- ➔ Verringerung der Taktbelastung
- im Takt bis zu 60% des gesamten Verbrauches

➔ Einsatz asynchroner Ideen:

- z.B. global asynchron – lokal synchron

➔ Unser Ansatz: kürzeste Ketten asynchroner Logik

Neuer Ansatz: AC* - TSPC

Vorteile

- Stromverminderung im Takt, gleichm. verteilt
- Eingliederung anderer Schaltungstechniken
- Unabhängiger vom Clock-Skew
- 2.7 fach geringerer Stromverbrauch als TSPC
- 3.5 mal besseres Power-Delay-Produkt als statisch CMOS

Nachteile

- Aufwendigere Synthese
- Zwingend komplementärer Aufbau
- Langsamer durch NOR-Belastung

*Asynchroner Chain

Institut für Angewandte Mikroelektronik und Datentechnik
Schaltungstechnik und Architekturen
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

AC – TSPC Vergleich (Multiplizierer)

	stat. CMOS	TSPC	AC – TSPC
Min. Zykluszeit	1	0.55	1.64
Min. Latenzzeit	1	0.55	0.33
Latenzzeit bei 3.6ns Zyklus	1	1	0.2
durchschn. Verbrauch in VDD (Logik) bei 3.6ns	1	2.4	1.43
durchschn. Verbrauch im Takt bei 3.6ns	1	10.2	1.1
Power-Delay Produkt für VDD (Logik) bei 3.6ns	1	2.4	0.29
Power-Delay Produkt für den Takt bei 3.6ns	1	10.2	0.22

Institut für Angewandte Mikroelektronik und Datentechnik
Schaltungstechnik und Architekturen
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Neuer Ansatz in RTL-Ebene

Eigenschaften von TSPC:

- Nichtinvertierende Funktionen: Verbrauch bei OUT=0 in der P-Logik, bei OUT=1 in der N-Logik
- Invertierende Funktionen: Verbrauch bei OUT=0 in der N- und in der N2-Logik

OUT = Low

nichtinvertierend invertierend

Institut für Angewandte Mikroelektronik und Datentechnik
Schaltungstechnik und Architekturen
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Neuer Ansatz in RTL-Ebene

Eigenschaften von TSPC:

- Nichtinvertierende Funktionen: Verbrauch bei OUT=0 in der P-Logik, bei OUT=1 in der N-Logik
- Invertierende Funktionen: Verbrauch bei OUT=0 in der N- und in der N2-Logik

OUT = High

nichtinvertierend invertierend

Institut für Angewandte Mikroelektronik und Datentechnik
Schaltungstechnik und Architekturen
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Neuer Ansatz in RTL-Ebene

Eigenschaften von TSPC:

- Nichtinvertierende Funktionen: Verbrauch bei OUT=0 in der P-Logik, bei OUT=1 in der N-Logik
- Invertierende Funktionen: Verbrauch bei OUT=0 in der N- und in der N2-Logik
- Einsparungen stark abhängig von Netzliste

*Wahrscheinlichkeiten für Pegel = High

Invertierte Funktionen, entgegengesetzte

Reduzierung der Verlustleistung auf ca. 66% Funktionen

Institut für Angewandte Mikroelektronik und Datentechnik
Schaltungstechnik und Architekturen
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Ergebnisse

1. Problem: Hoher Stromverbrauch
Lösung:
 - a) 3,5 mal besseres Power-Delay-Produkt als statisch CMOS durch neu entwickeltes AC-TSPC
 - b) Algorithmus zur Verlustleistungsminimierung von TSPC-Schaltungen in RTL-Ebene
2. Problem: Keine Unterstützung bei der Synthese:
Lösung:
 - Entwicklung eines Designflusses für TSPC einschließlich der Integration von Algorithmen zur Verlustleistungsreduktion

Institut für Angewandte Mikroelektronik und Datentechnik
Schaltungstechnik und Architekturen
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Eingliederung in das Vorhaben

Verbesserungen auf allen Design-Ebenen:

- Bisher: Schaltungstechnikebene und Logikebene
- Ziel: Verbesserungen in Architektur-, Algorithmen- und Systemebene

Erweiterung des Designflusses für dynamische Logik:

- Eingliederung der Kenntnisse und Automatisierung der Schritte

Entwicklung eines Demonstrators:

- Umsetzung aller erworbenen Kenntnisse



Institut für Angewandte Mikroelektronik und Datentechnik
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Schaltungstechnik und Architekturen

Zusammenfassung

- Entwicklung der AC-TSPC Logik
 - F. Grassert, D. Timmermann, „Dynamic Single Phase Logic with Self-Timed Stages for Power Reduction in Pipeline Circuit Designs“, ISCAS 2001
- Reduktion der Verlustleistung auf der Logik-Ebene für TSPC Schaltungen
- Entwicklung und Umsetzung des Designflusses für TSPC Logik
 - A. Wassatsch, D. Timmermann, „Scalable Counter Architecture for a Pre-loadable 1GHz@0.6µm/5V Pre-scaler in TSPC“, ISCAS 2001
 - S. Flügel, F. Grassert, M. Grothmann, M. Haase, P. Nimsch, H. Ploog, D. Timmermann, A. Wassatsch „A Design Flow for 12.8 GBit/s Triple DES using dynamic logic and standard synthesis tools“, ESNUG 2001
 - M. Schmalisch, H. Ploog, F. Grassert, D. Timmermann, „Kryptographiecoprozessor zur Verschlüsselung von ISDN-Daten“, Embedded Intelligence 2001



Institut für Angewandte Mikroelektronik und Datentechnik
Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Schaltungstechnik und Architekturen