

Dynamische Schaltungstechniken für Low-Power Anwendungen

F. Grassert, D. Timmermann



Institut für Angewandte Mikroelektronik und Datentechnik

Fachbereich Elektrotechnik und Informationstechnik, Universität Rostock

Schaltungstechnik und Architekturen für mobile digitale
Signalverarbeitung bei niedrigster Leistungsaufnahme

Übersicht

- Stand der Entwicklungen / Grundlagen
- Rückblick: AC-TSPC
- Ergebnisse: Synthese-Tool, Parameter für AC-TSPC, Single-Rail
- Zusammenfassung



Bereits vorgestellte Ergebnisse

1. **Problem:** Hoher Stromverbrauch

Lösung:

- a) Bis zu 3,5 mal besseres Power-Delay-Produkt als statisch CMOS durch neu entwickeltes AC-TSPC
- b) Algorithmus zur Verlustleistungsminimierung von TSPC-Schaltungen in RTL-Ebene

2. **Problem:** Keine Unterstützung bei der Synthese:

Lösung:

- DYNAMIC: Entwicklung eines Designflusses für TSPC einschließlich der Integration von Algorithmen zur Verlustleistungsreduktion



Aktueller Stand: dynamische Logik

Low-Power, z.B. 2002:

- Anis u.a. „Energy-efficient noise-tolerant dynamic styles for scaled-down CMOS and MTCMOS technologies“. Trans. on VLSI, 2002.
- Chaji u.a. „Pseudo dynamic logic (sdl): a high-speed and low-power dynamic logic family“. ISCAS 2002.
- Samanta u.a. „Synthesis of high performance low power dynamic CMOS circuits“. ASP-DAC 2002.

Geschwindigkeit, z.B. 2002:

- Seong-Ook u.a. „Optimal timing for skew-tolerant high-speed domino logic“. ISVLSI 2002.

Synthese, Test, z.B. 2002:

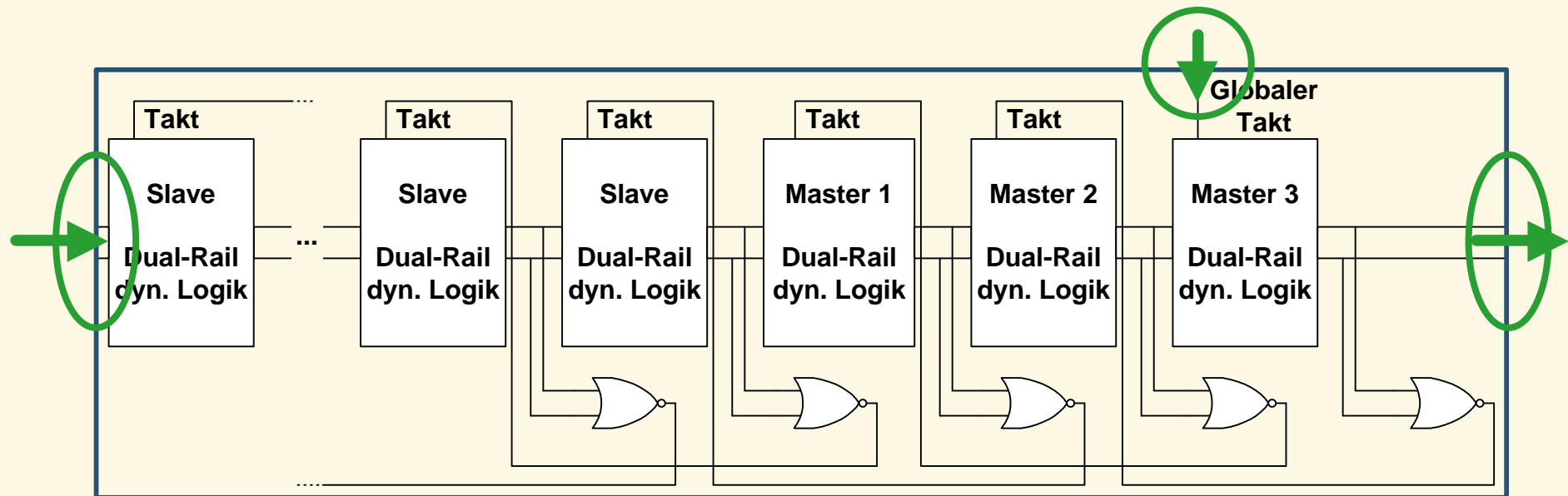
- Kundu u.a. „Timed test generation or crosstalk switch failures in domino CMOS circuits“. VTS 2002.
- Kim u.a. „Domino logic synthesis based on implication graph“. CAD of IC&S, 2002.

Industrie, z.B. Intel 2001:

- Anders u.a. „Robustness of Sub-70nm Dynamic Circuits: Analytical Techniques and Scaling Trends“. 2001 Symposium on VLSI Circuits.



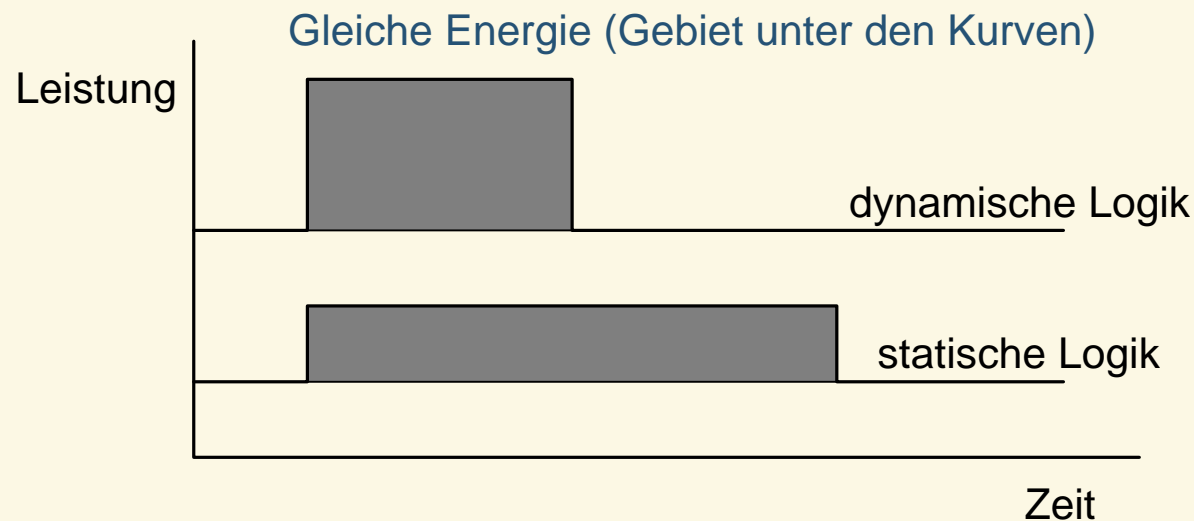
Rückblick: AC – TSPC



- Nach außen synchroner Block
 - Eingangs- und Ausgangssignale
 - Globales Taktsignal
- Realisiert Registerfunktion: keine zusätzlichen Latches

Eigenschaften

- Latch-freie Berechnung: geringe Latenz
- Sehr gutes Power-Delay-Produkt
 - Niedrige Energie
- Self-timed: Reduzierung der Spitzenströme
- Bessere Ausnutzung des ‚Battery Recovery Effects‘



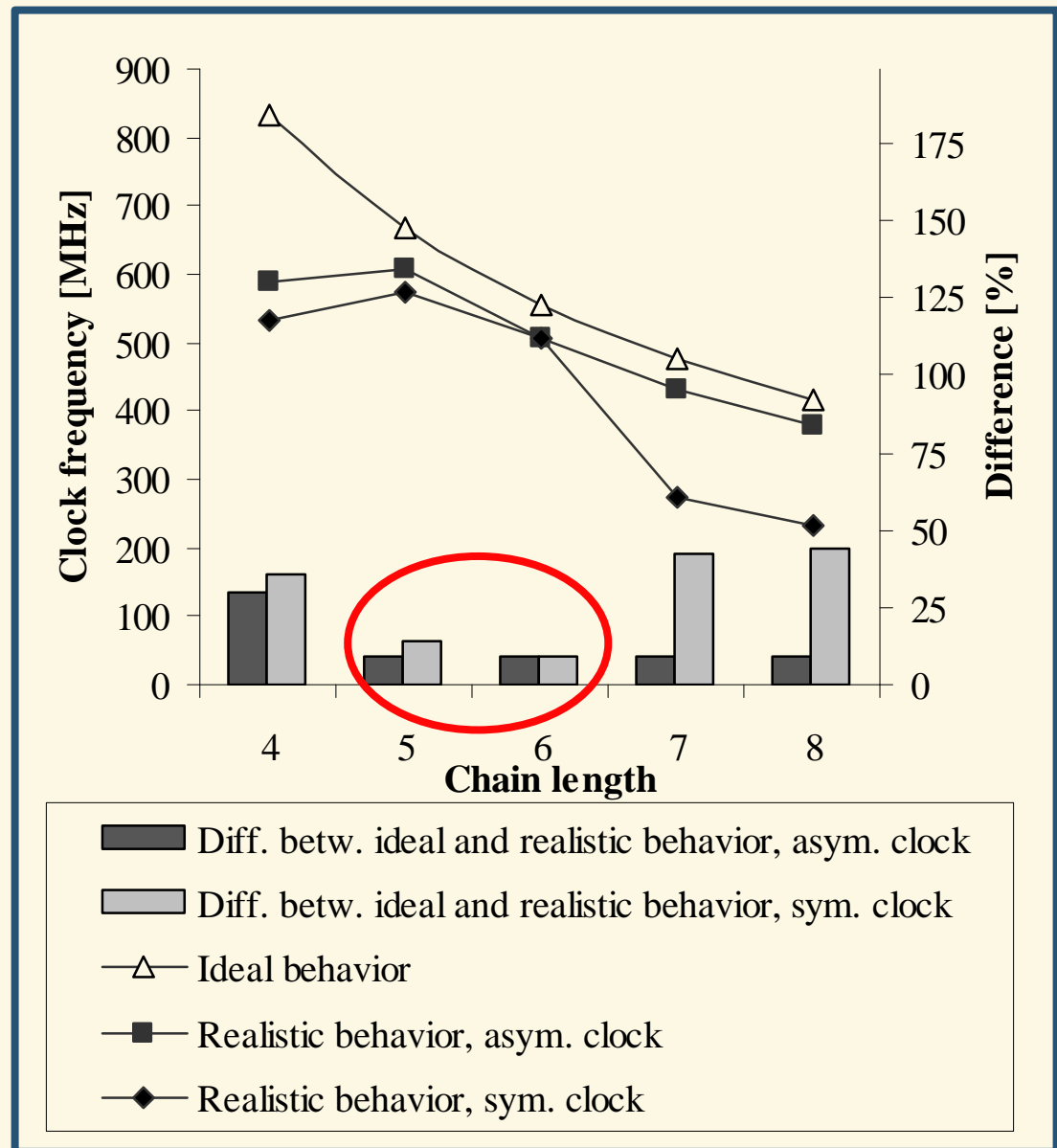
Ergebnisse: Kettenlänge

Kettenlänge sollte bei 5 oder 6 liegen – relativer Unterschied zum Idealfall am geringsten

Idealfall: keine Schwankungen
Realfall: Schwankungen um 10%

Verwendetes Design:

- vollständig automatisch generiert
- 4- und 8-Bit Multiplizierer
- Dual-Rail-DOMINO Gatter
- 0,6 μ m AMS Prozess bei 5V
- Überprüfung durch Simulationen auf Transistorebene



Vergleich (handoptimiert)

Grober Vergleich von verschiedenen Schaltungstechniken durch relative Werte aus verschiedenen Veröffentlichungen:

	Stat. CMOS	Domino	CD-Domino (Sechen)	AC-TSPC (m. Reg.)
Delay (D)	1	0,6	0,4	0,3*
Area	1	1,6	1,5	n.a.*
Power (P)	1	2,6	2,3	1,5*
P*D	1	1,6	0,9	0,5*

* Design mit Registern



Vergleich (mit Tool, nicht optimiert)

	Stat. CMOS	TSPC	DOMINO	AC-TSPC
Latenz bei ~500MHz (ns)	23,4	31,2	11,7	7,8
Power ohne gl. Takt (mW/GHz)	277	600	686	1361
Clockload (minimal Trans.)	~576	~2205	~2034	~370
Power*Delay (10^{-9} Ws)	3,322	9,610	4,116	5,460

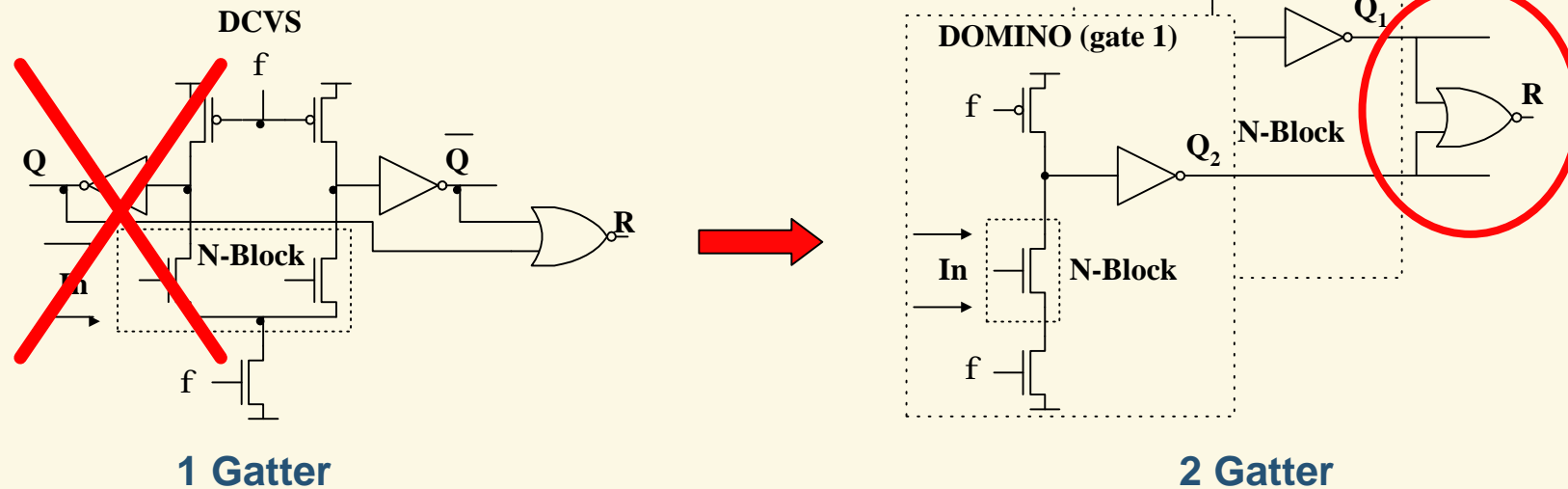
AC-TSPC, TSPC, DOMINO: 50% zusätzliche Buffer (autom. Synthese, keine Optimierungen); kleine Bibliothek -> reduzierte Eingangslast noch nicht stark bemerkbar

AC-TSPC: nicht optimierte Self-timed Verknüpfungen

Ergebnisse von 4-Bit Multiplizierern; approximiert für den Vergleichsfall einer Periode von 1,95ns
SCMOS: Durchschnittliche Aktivität: 20%; 96 Register; DOMINO: 48 Register



Neu: Single-Rail Ansatz



Verringerung des Hardwareaufwands (ca. $\frac{1}{2}$)

ABER: N Ausgänge müssen $Q_1 + Q_2 + \dots + Q_N = 1$ erfüllen

ABER: Invertierte Funktionen?

F. Grassert, D. Timmermann, „Single-Rail Self-Timed Logic Circuits in Synchronous Designs”, MWSCAS'2002

F. Grassert, D. Timmermann, „Dynamic Single-rail Self-timed Logic Structures for Power Efficient Synchronous Pipelined Designs”, GLSVLSI 2003, angenommen

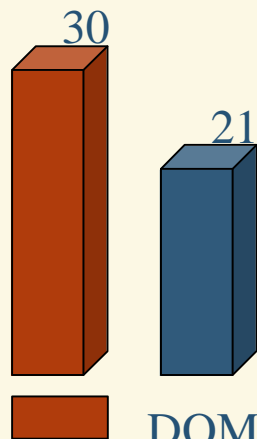
Neu: Redundante Zahlensysteme

Nutzbar für Self-timed Kodierung:

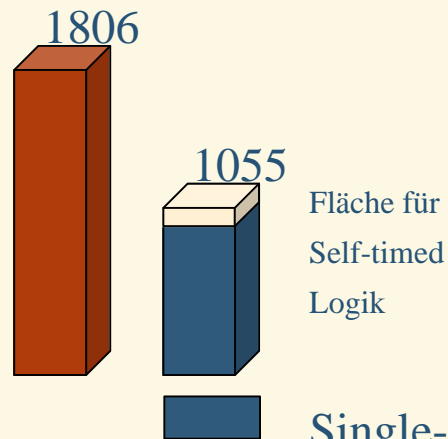
Digit	Self-timed Repräsentation
-1	10
0	01
1	11
frei	00 → geladen

Ergebnisse mit 4-Bit red. Adder in 0,6mm AMS bei 3,3V:

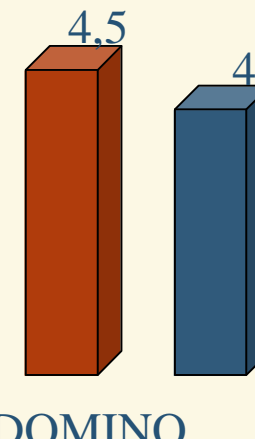
Power ($\mu\text{W}/\text{MHz}$):



Fläche (Trans.anz.)



Max. Delay (ns)



Ausblick

Bisher:

- Reduzierung der Verlustleistung bei dynamischen Logiken
 - Verringerung der Taktbelastung
 - Verbesserung des Power-Delay-Produktes durch Latch-freie Struktur
 - Verringerung der Verlustleistung durch Single-Rail in Verbindung mit redundanten Zahlensystemen

Ziel:

- Syntheseunterstützung / Verlustleistungsabschätzung
- Weitere Anwendung im Gebiet der redundanten Arithmetik
 - ➔ Verbesserte Möglichkeiten zur Generierung von Self-timed Signalen
- Architekturuntersuchungen & Beispielschaltung



Zusammenfassung

- Erweiterung der AC-TSPC Logik durch Single-Rail Ansatz
 - F. Grassert, D. Timmermann, „Single-Rail Self-Timed Logic Circuits in Synchronous Designs”, MWSCAS 2002
 - F. Grassert, D. Timmermann, „Dynamic Single-rail Self-timed Logic Structures for Power Efficient Synchronous Pipelined Designs”, GLSVLSI 2003
- Einsatz verschiedenster dyn. Logiken im Einphasentakt
- Problem Power:
 - Optimierung des Power-Delay-Produktes durch Latch-freie Struktur
 - Reduzierung des Leistungsverbrauches durch Single-Rail möglich
- Problem Synthese:
 - Erweiterung der Beschreibung des Zeitverhaltens zur Automatisierung der Synthese für Single-Rail, vollständige Umsetzung in einem Tool
- Längerfristige Kooperation mit IBM bzgl. Low Power
 - Ergebnis einer Diplomarbeit zur Entwicklung eines 8 FO4 64 bit Binäraddierwerks mit reduzierter Leistungsaufnahme



Veröffentlichungen seit 2001

- [Flü01] S. Flügel, F. Grassert, M. Grothmann, M. Haase, P. Nimsch, H. Ploog, D. Timmermann, A. Wassatsch, „A Design Flow for 1.28 GBit/s Triple DES using dynamic logic and standard synthesis tools“, Synopsys User Group (SNUG) Europe, S. E3.2. 1-8, München, März 2001.
- [Was01] A. Wassatsch, F. Grassert, M. Grothmann, D. Timmermann, „Analyse von Synthese-Algorithmen für Pipeline-Strukturen“, Fachtagung Informationstechnik, Universität Magdeburg, ISBN: 3-930385-29-5, S. 17-22, Magdeburg, März 2001.
- [Gra01a] F. Grassert, D. Timmermann, „Dynamic Single Phase Logic with Self-Timed Stages for Power Reduction in Pipeline Circuit Designs“, IEEE International Symposium on Circuits and Systems (ISCAS), S. IV 144 - 147, Sydney, Mai 2001.
- [Gra01b] F. Grassert, D. Timmermann, „Integration asynchroner Schaltungsansätze zur Verringerung der Verlustleistung in dynamischen Schaltungstechniken mit Einphasentakt“, 10. Symposium Maritime Elektronik, S. 197-200, Rostock, Juni 2001.
- [Gra01c] F. Grassert, A. Wassatsch, D. Timmermann, „Synthese- und Einsatzmöglichkeiten asynchroner, dynamischer Logiken zur Verlustleistungsreduzierung“, 14. Mikroelektroniktagung 2001, ÖVE-Schriftenreihe Nr.26, S.231-236, Wien, Oktober 2001.
- [Gra02a] F. Grassert, D. Timmermann, „Asynchronous Chain True Single Phase Clock Logik (AC-TSPC)“, 3. Schwerpunktkolloquium des DFG Schwerpunktprogramms Grundlagen und Verfahren verlustarmer Informationsverarbeitung (VIVA), S. 136 - 141, Chemnitz, März 2002.
- [Gra02b] F. Grassert, D. Timmermann, „Single-Rail Self-Timed Logic Circuits in Synchronous Designs“, IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'2002), Tulsa, August 2002.
- [Bra03] R. Brackebusch, S. Müller, G. Sokomak, F. Grassert, D. Timmermann, „A New Synthesizable Architecture Approach for Verification Environments Applying Transaction-based Methodology“, E.I.S. 2003 - Entwurf Integrierter Schaltungen und Systeme, Erlangen, März/April 2003
- [Gra03] F. Grassert, D. Timmermann, „Dynamic Single-rail Self-Timed Logic Structures for Power Efficient Synchronous Pipeline Designs“, Great Lakes Symposium on VLSI, Washington, April 2003

