

Leckstromreduzierung in Nanometer-Technologien ohne Performanceverluste

Maritimes Symposium 2007, Rostock

Frank Sill, Claas Cornelius, Dirk Timmermann

09. Oktober 2007

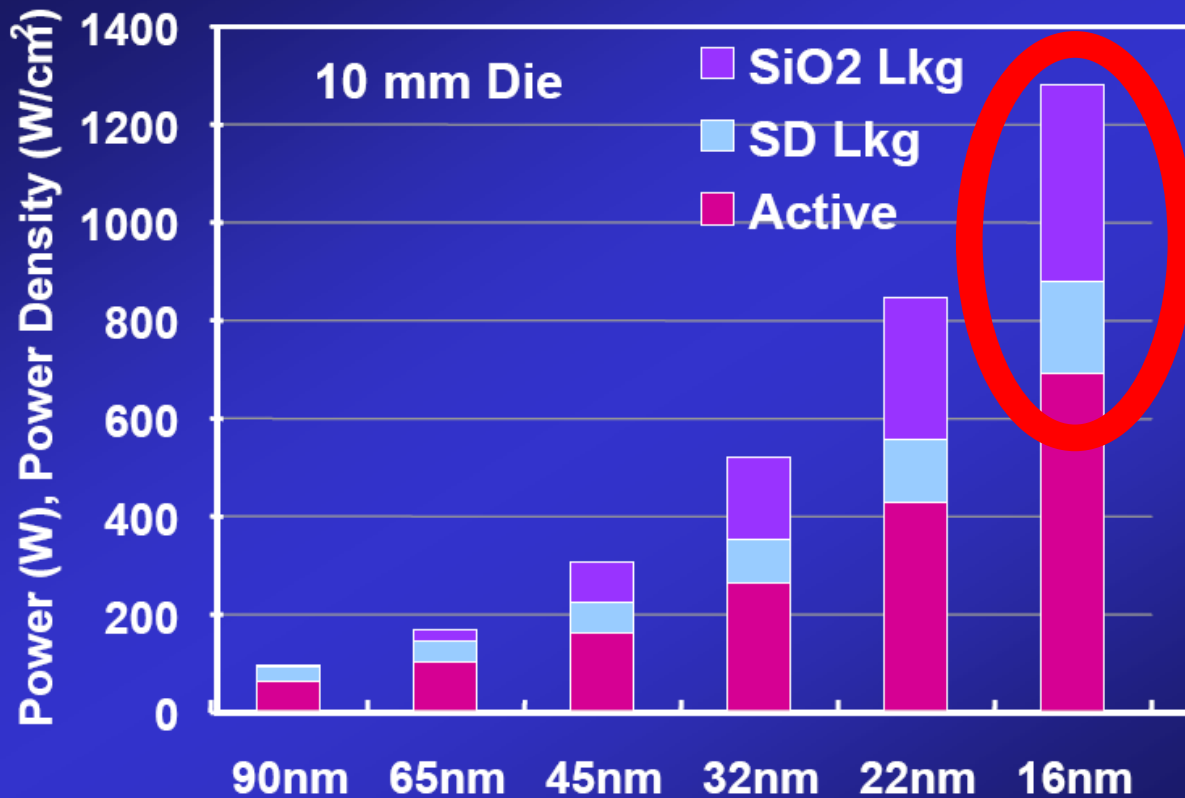
Ziel dieser Arbeit

1. Einführung eines **Ansatzes** zur **Leckstromreduzierung**
2. Vorstellung eines erweiterten **Zuweisungsalgorithmus** für Ansätze auf Gatterebene

Ablauf

- Einführung
- Der Mixed Gates Ansatz
- Neuer Zuweisungsalgorithmus
- Resultate
- Zusammenfassung

Motivation



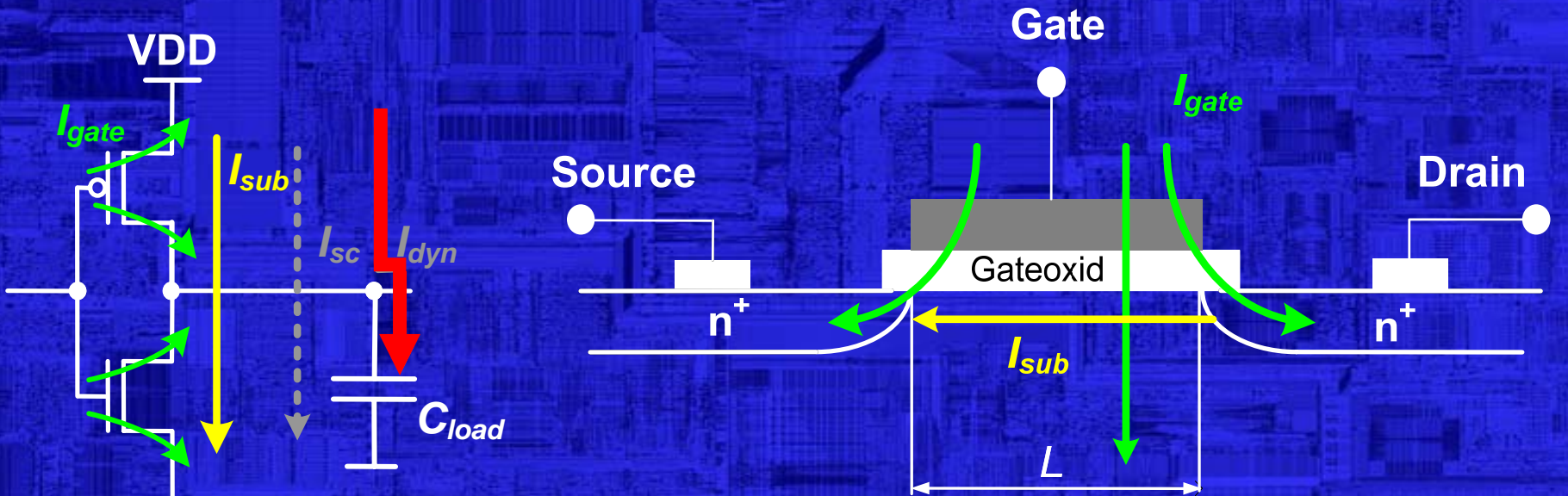
Bis zu 50 %
wird (*ist* !)
Leckstrom!

SiO2 Lkg - „Gate oxide“ Leckstrom (I_{gate})

SD Lkg - „Subthreshold“ Leckstrom (I_{sub})

S. Borkar, '05

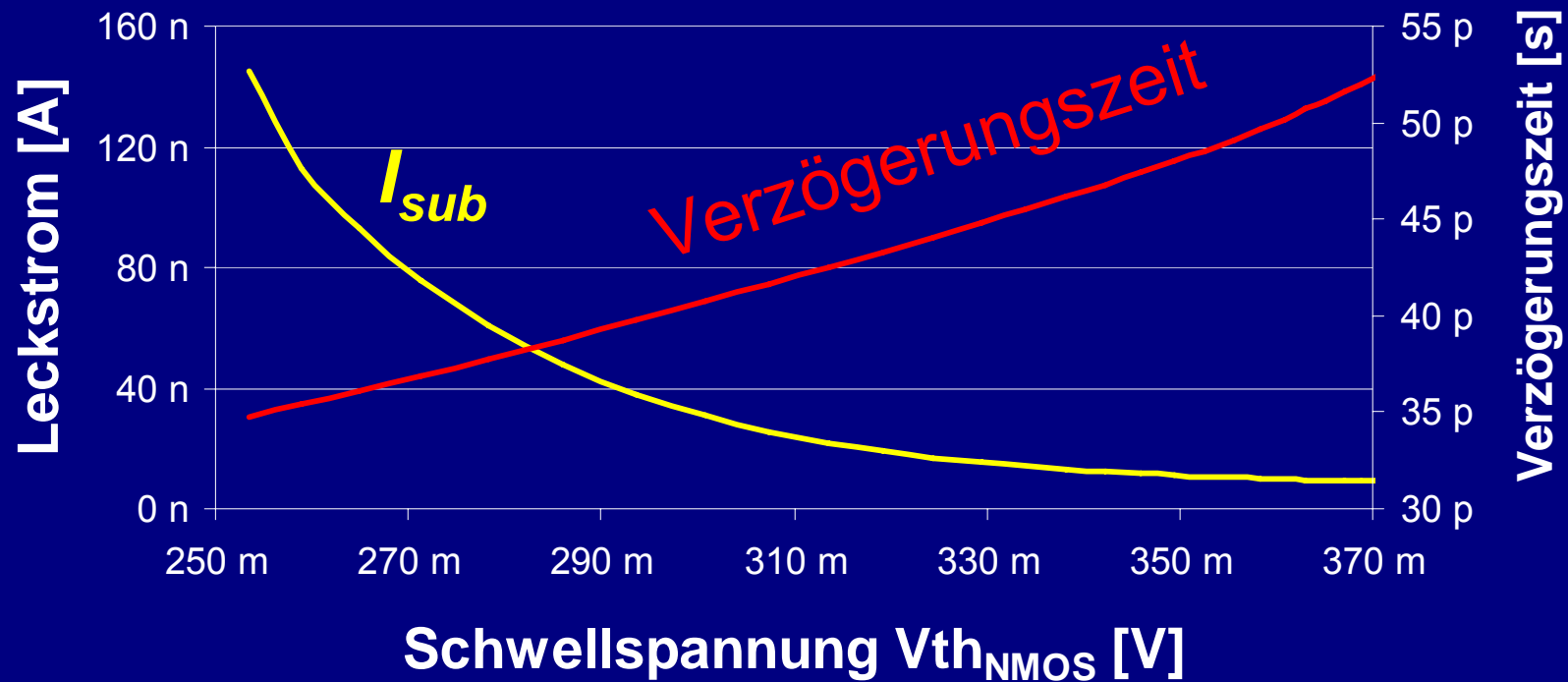
Leistungsverbrauch in CMOS-Schaltungen



- I_{sub} tritt auf wenn Gate-Source Spannung V_{gs} **kleiner** als Schwellspannung V_{th}
- I_{gate} basiert auf „**Tunnelströmen**“ durch das Gateoxid

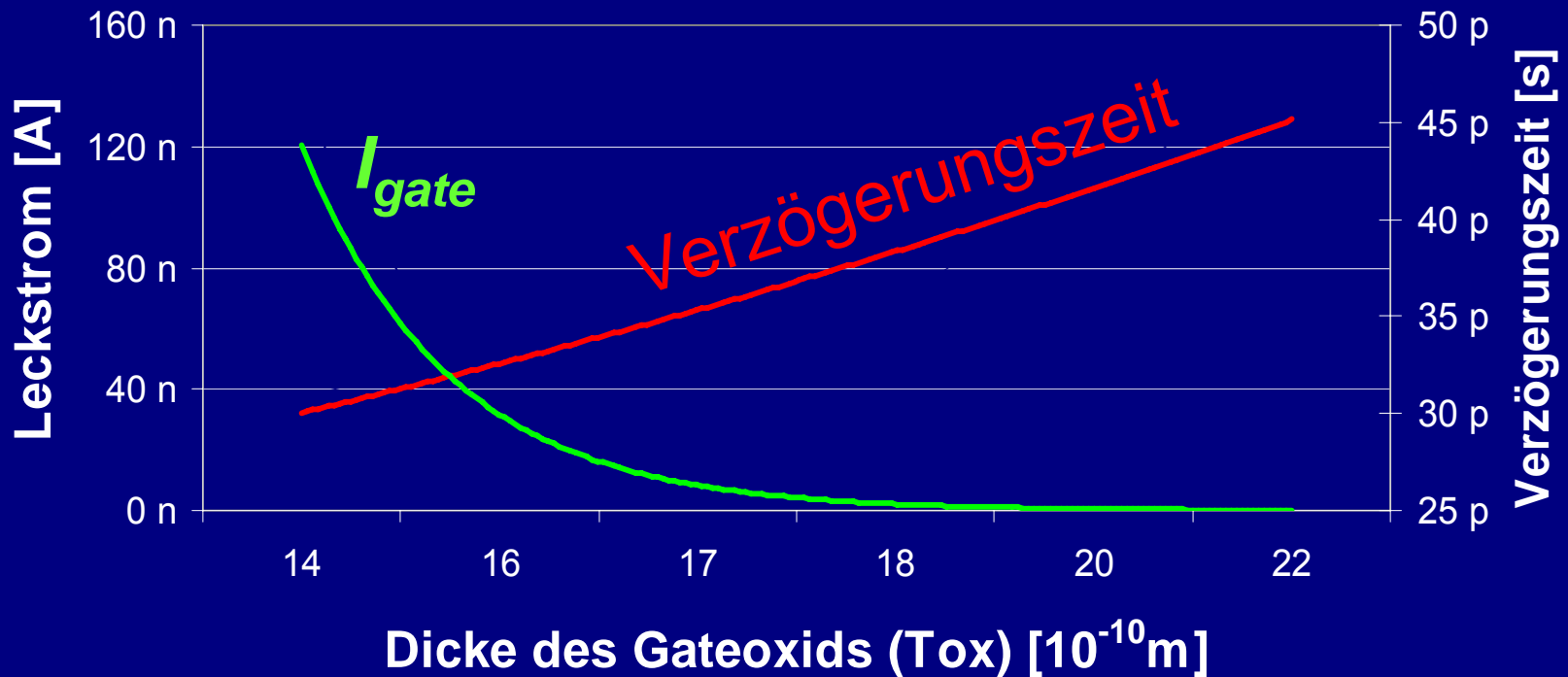
V_{th} , Verzögerungszeit und Leckstrom

Inverter (BPTM 65 nm)



T_{ox} , Verzögerungszeit und Leckstrom

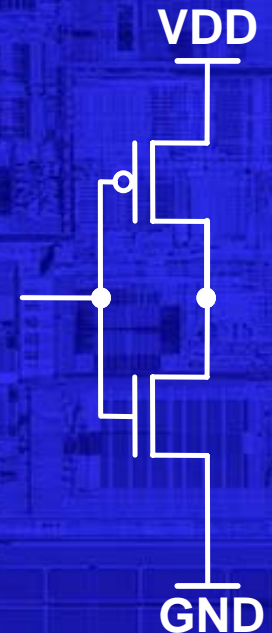
Inverter (BPTM 65 nm)



Dual - V_{th} / T_{ox} - Ansätze

Einsatz von zwei **unterschiedlichen** Transistortypen:

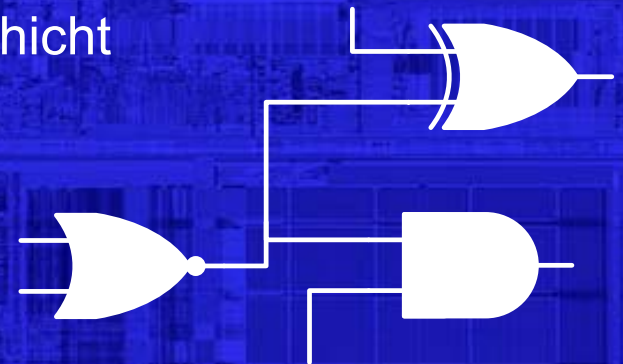
- „**low- V_{th}** “ - oder „**low- T_{ox}** “-Transistoren
 - Niedrige Schwellspannung oder dünne Oxidschicht
 - Für **zeitkritische** Bereiche
 - Führt zu **hohem Leckstrom**
- „**high- V_{th}** “ oder „**high- T_{ox}** “-Transistoren
 - Hohe Schwellspannung oder dicke Oxidschicht
 - Für **zeitunkritische** Bereiche
 - Führt zu **niedrigem Leckstrom**



Dual - V_{th} / T_{ox} - Ansätze

Einsatz von zwei **unterschiedlichen** Gattertypen:

- Gatter mit „**low- V_{th}** “ - oder „**low- T_{ox}** “-Transistoren
 - Niedrige Schwellspannung oder dünne Oxidschicht
 - Für **zeitkritische** Bereiche
 - Führt zu **hohem Leckstrom**
- Gatter mit „**high- V_{th}** “ oder „**high- T_{ox}** “-Transistoren
 - Hohe Schwellspannung oder dicke Oxidschicht
 - Für **zeitunkritische** Bereiche
 - Führt zu **niedrigem Leckstrom**

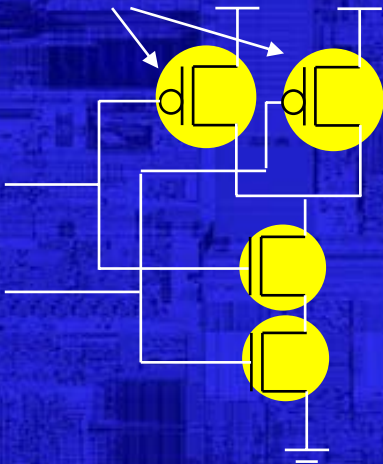


Der „Mixed Gates“ Ansatz

- Bisherige Ansätze:
 - Ansatz auf Transistorebene
 - Logische Gatter nur mit **einem Transistortyp**
 - Transistoren unterscheiden sich nur in V_{th} **oder** T_{ox}
 - **Zwei** Gattertypen
- *Mixed Gates*:
 - Gatter aus **unterschiedlichen Transistortypen**
 - Transistoren unterscheiden sich in V_{th} **und** T_{ox}
 - **Drei** Gattertypen

„Dual Gates“ - NAND2

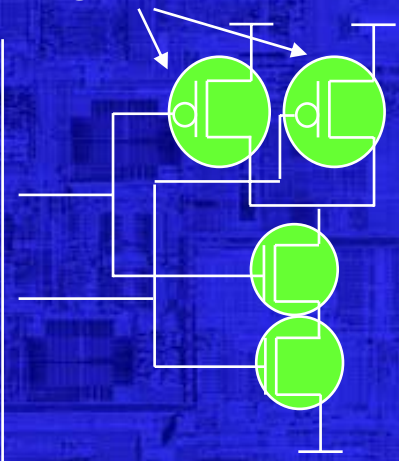
Low - V_{th}/T_{ox}



LVTO-Gatter

- Minimale Verzögerungszeit
- Sehr großer Leckstrom

High - V_{th}/T_{ox}

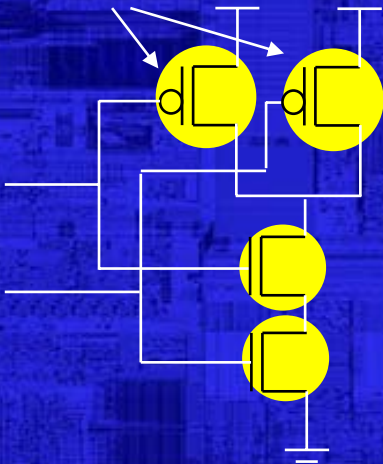


HVTO-Gatter

- Maximale Verzögerungszeit
- Minimaler Leckstrom

„Mixed Gates“ - NAND2

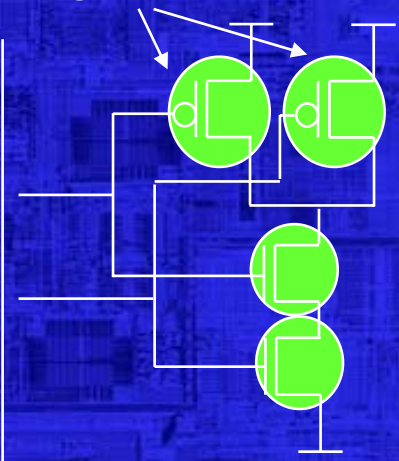
Low - V_{th}/T_{ox}



LVTO-Gatter

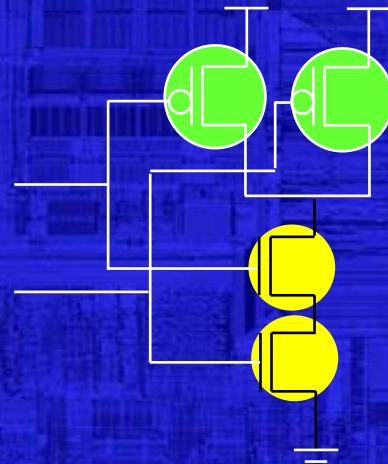
- Minimale Verzögerungszeit
- Sehr großer Leckstrom

High - V_{th}/T_{ox}



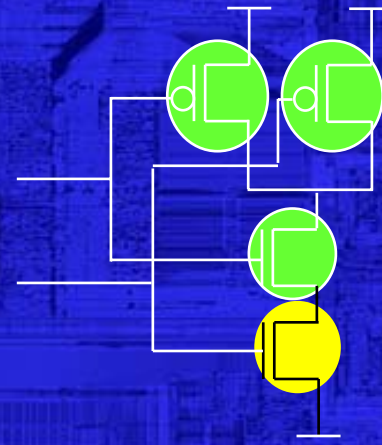
HVTO-Gatter

- Maximale Verzögerungszeit
- Minimaler Leckstrom



F-MG-Gatter

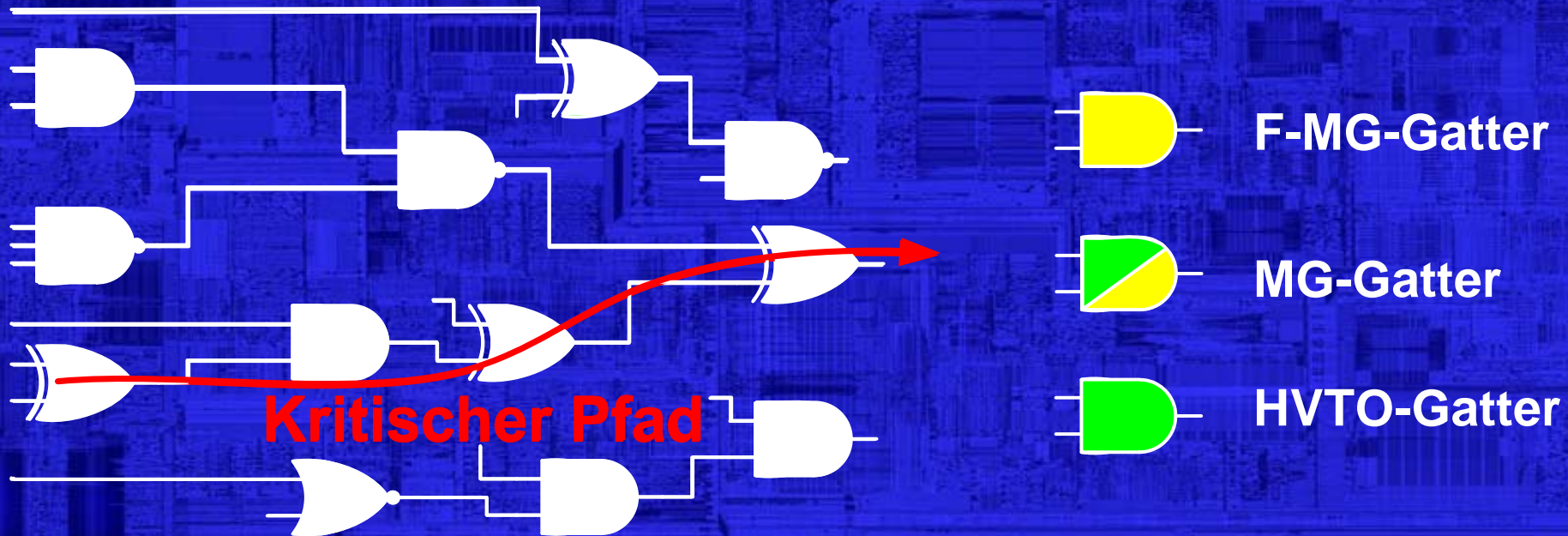
- Minimale Verzögerungszeit
- großer Leckstrom



MG-Gatter

- Mittlere Verzögerungszeit
- Mittlerer Leckstrom

„Mixed Gates“-Schaltung



Zuweisung der Gattertypen

- Bestimmung Gattertypen über prioritätsbasierte Zuweisungsalgorithmen (**PZA**)
- PZA nutzen **Bewertungsfaktoren** zur **Charakterisierung** der **Gattertypen** und **Gatter**
- **Zuweisung** der Gattertypen **anhand** der **Bewertungsfaktoren**
- Bekannte Algorithmen:
 - Kato [Kat00]: Keine Betrachtung der Gattertypen
 - Engel [Eng06]: Betrachtung von Gattertypen
 - Li [Li93] : Betrachtung von Gattertypen und teilweise maximal/minimal Werten innerhalb der Schaltung

Neuer Algorithmus

- Verwendete Bewertungsfaktoren:
 - t_{slack} – maximale Erhöhung der Gatterverzögerungszeit ohne Auswirkungen auf Schaltungs-Performance
 - t_{d_diff} – Änderung der Gatterverzögerungszeit durch die Zuweisung von neuem Gattertyp
 - I_{leak_diff} – Änderung des Gatterleckstroms durch die Zuweisung von neuem Gattertyp
 - n_p – Anzahl der Pfade, in denen sich das Gatter befindet
- Alle Parameter relativiert zu minimalen und maximalen Werten innerhalb der Schaltung

Neuer Algorithmus

- Hoher Gatterbewertungsfaktor (= hohe Wahrscheinlichkeit für Zuweisung von „Low Leakage“-Gattertyp) wenn:
 - Gatter in wenigen Pfaden ($n_p \downarrow$)
 - Hohe Leckstromdifferenz ($I_{leak_diff} \uparrow$)
 - Geringe Verzögerungsdifferenz ($t_{d_diff} \downarrow$)
 - Großer Slack ($t_{slack} \uparrow$)
- Bewertungsfaktoren werden gewichtet
- Zusätzlich Anpassung aller Parameter anhand Verteilungsfunktion → reduziert Einfluss von Extremwerten

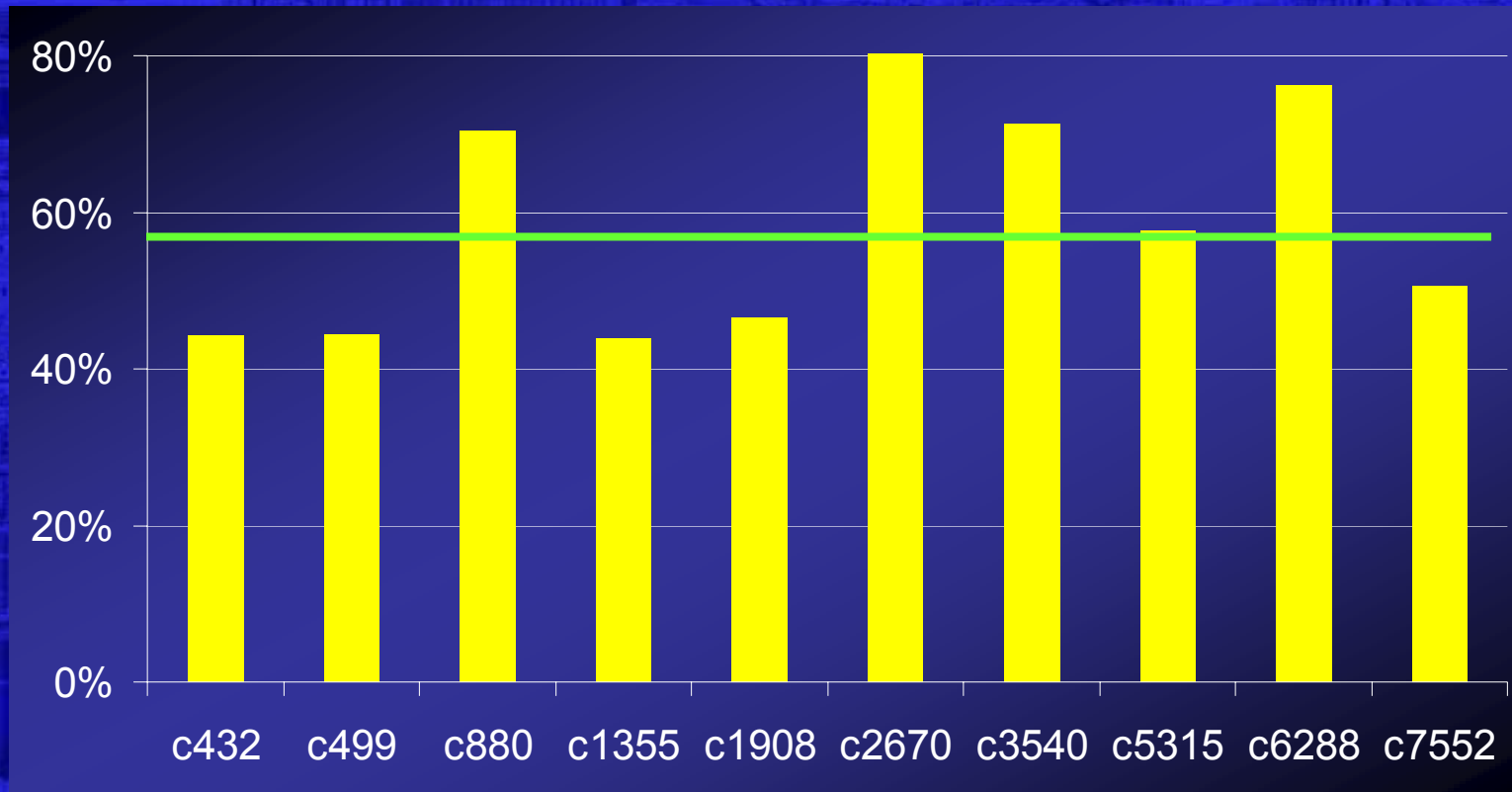
Neuer Algorithmus

Wichtung der Parameter Anpassung wg. Einfluss von Extremwerten

$$\Psi = \kappa_{np} \left(1 - \left[n_{P_r} + n_{P_{add}} \right] \right) + \kappa_{leak} \left[I_{leak_diff_r} + I_{leak_diff_add} \right] \dots$$
$$\dots + \kappa_{td} \left(1 - \left[t_{d_diff_r} + t_{d_diff_add} \right] \right) + \kappa_{slack} \left(t_{slack_r} + t_{slack_add} \right)$$

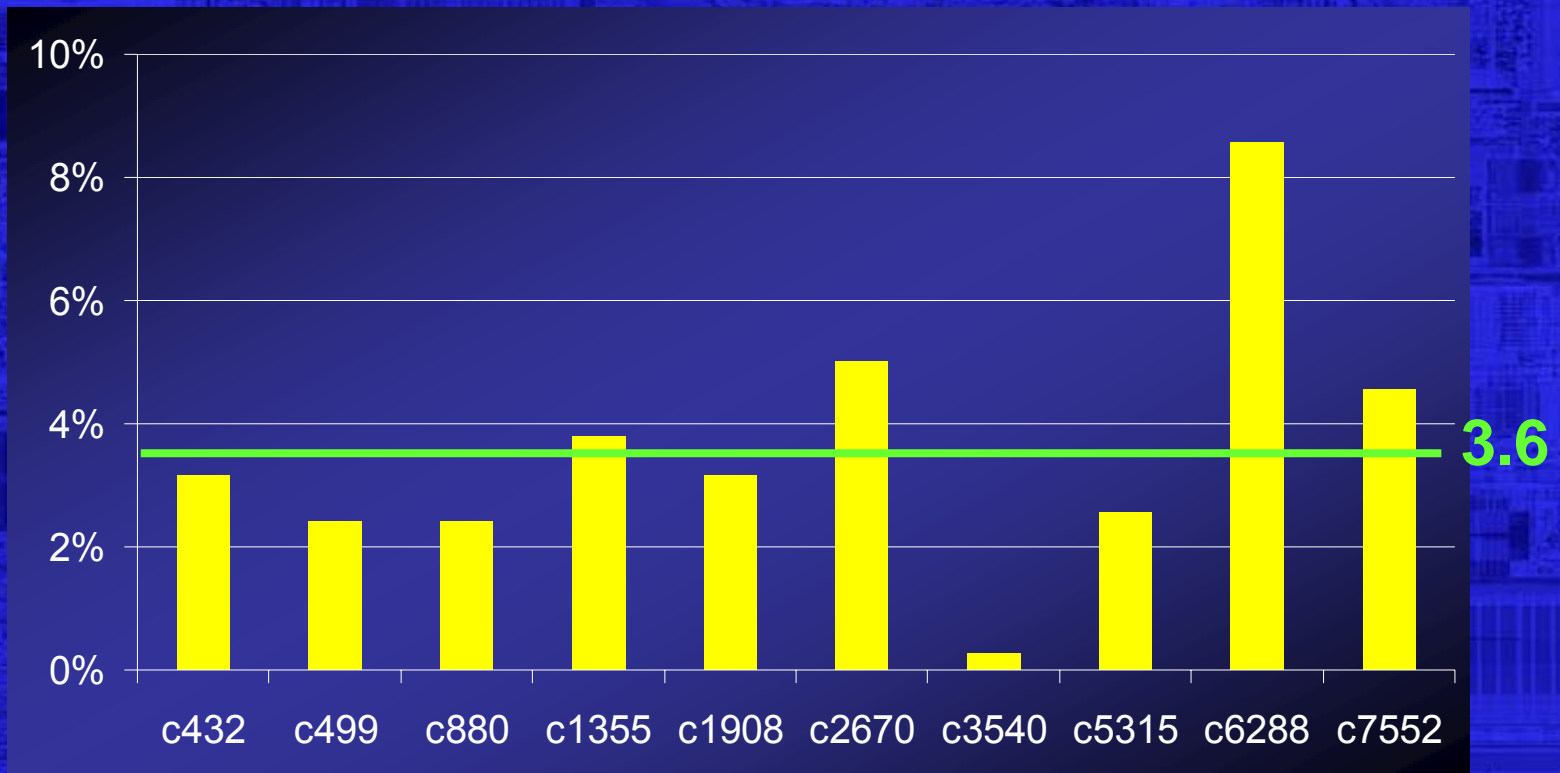
$$X_{-r} = \frac{X_{max} - X}{X_{max} - X_{min}}, X \in n_P, I_{leak_diff}, t_{d_diff}, t_{slack}$$

Resultate: „Mixed Gates“



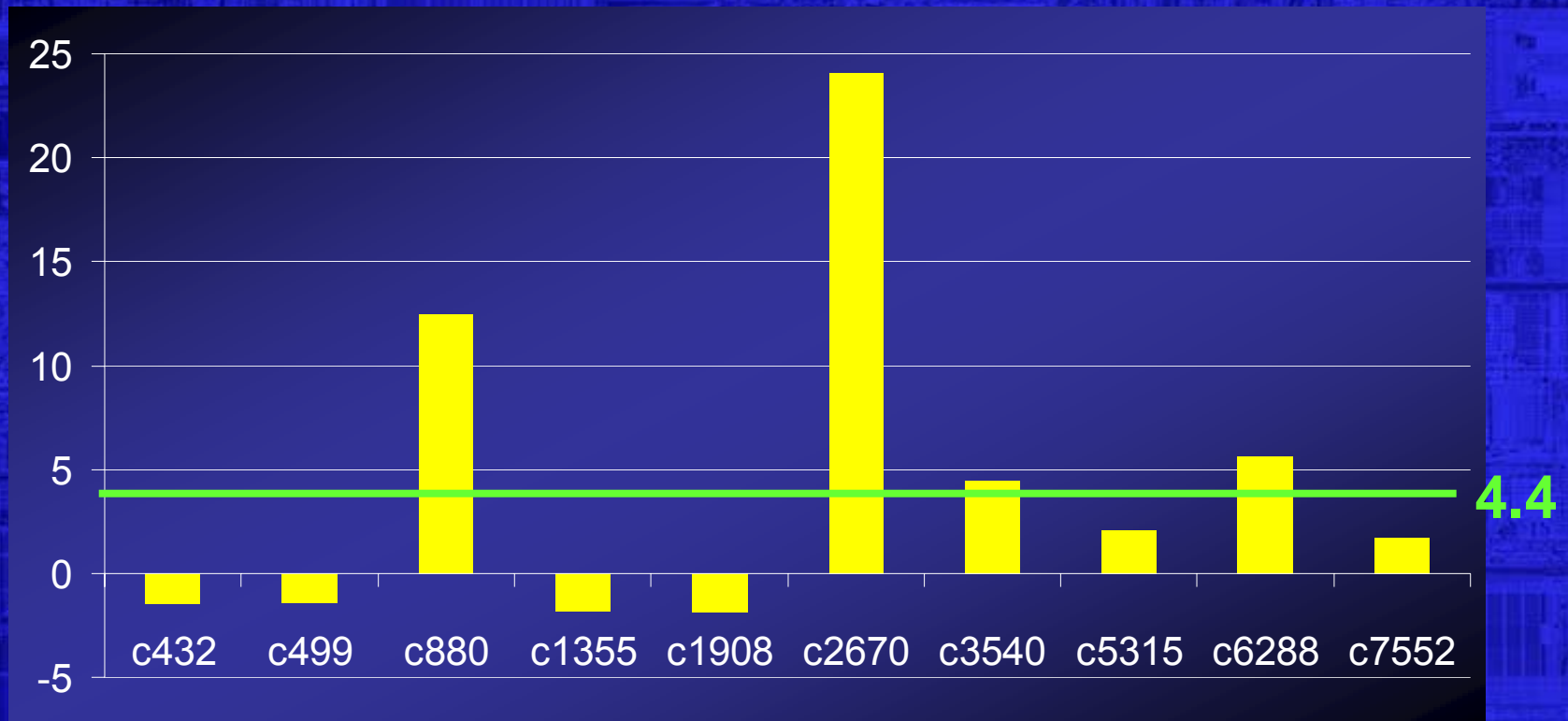
Leckstromreduzierung durch Anwendung des „Mixed Gates“-Ansatzes (bei konstanter Performance)

Resultate: PZA-Vergleich (Leckstrom)



Zusätzliche Leckstromreduzierung durch den neuen Algorithmus gegenüber bekannten Algorithmen

Resultate: PZA-Vergleich (Aufwand)



Reduzierung des **Rechenaufwands** durch den neuen Algorithmus gegenüber bekannten Algorithmen

Zusammenfassung

- Einfluss des **Leckstroms** auf Energieverbrauch **steigt stetig an**
- „Mixed Gates“-Ansatz verwendet **unterschiedliche Transistorentypen innerhalb der Gatter**
- Drei „Mixed Gates“-Gattertypen mit **verschiedenen Verzögerungszeiten und Leckströmen**
- Neuer **Zuweisungsalgorithmus reduziert Einfluss von Extremwerten**
- „Mixed Gates“-Ansatz **reduziert Leckstrom um durchschnittlich 59 %**

Referenzen

- [Eng06] Engel, K.; Kalinowski, T.; Labahn, R.; Sill, F.; Timmermann, D. “Algorithms for Leakage Reduction with Dual Threshold Design Techniques”, In *Proc. of Intern. Symposium on System-on-Chip (SOC)*, pp. 111-114, Tampere, Finland, 2006.
- [Kat00] Kato, N. et al. “Random Modulation: Multi- Threshold-Voltage Design Methodology in Sub-2V Power Supply CMOS”, In *IEICE Transactions on Electronics*, vol. E83-C, no. 11, pp. 1747-1754, November 2000.
- [Li93] Li, W. N.; Lim, A.; Agrawal A.; Sahni, S. “On the circuit implementation problem”, In *Proceedings of ACM/IEEE Conference on Design Automation (DAC)*, pp. 478- 483, 1993.