

- ### Digitale VLSI-Systeme
- Entwurf digitaler Systeme vom Konzept über Algorithmus und Architektur bis zur Schaltungstechnik
 - Prämissen: Kurze Entwurfszeit, hohe Designsicherheit, moderne Entwurfswerkzeuge, durchgängiger Designfluß, Zieltechnologie ASIC oder FPGA
 - **Verwendete Werkzeuge:**
 - Design-Entry: VHDL, Schematic
 - Simulation und Synthese: Synopsys
 - Technologiemapping: XILINX (FPGA), Cadence (ASIC)
 - Echtzeit-Rapid Prototyping: Aptix MP3C bis 4 Mio. Gatter
 - Mehrfach-FPGA Partitionierung: PL-Architect

- ### Agenda
- Anforderungen
 - Entwurf digitaler VLSI Systeme
 - Verifikationsmöglichkeiten

Verallgem. Moore'sches Gesetz

Prozess-Technologie

IC-Technologie
Magnetspeicher
Optische Speicher
Bandbreite
Software
etc.

Alle charakteristischen Parameter der Informationstechnologie verbessern sich alle 1 bis 3 Jahre um den Faktor 2

Escherichia Coli verdoppelt sich alle 20 Minuten

Etwas konkreter, bitte

■ SIA Roadmap 1998

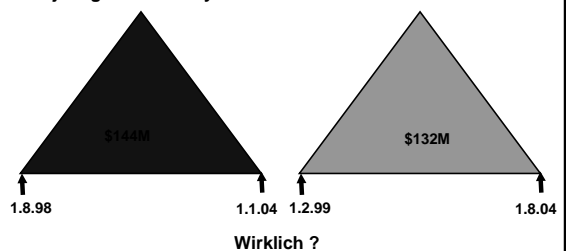
Jahr	1999	2002	2005	2008	2011	2014
Strukturgröße (nm)	180	130	100	70	50	35
Logiktrans./cm ²	6.2M	18M	39M	84M	180M	390M
Kosten/Trans (mCent)	1.735	.580	.255	.110	.049	.022
Takt (MHz)	1250	2100	3500	6000	10000	16900
Chipgröße (mm ²)	340	430	520	620	750	900

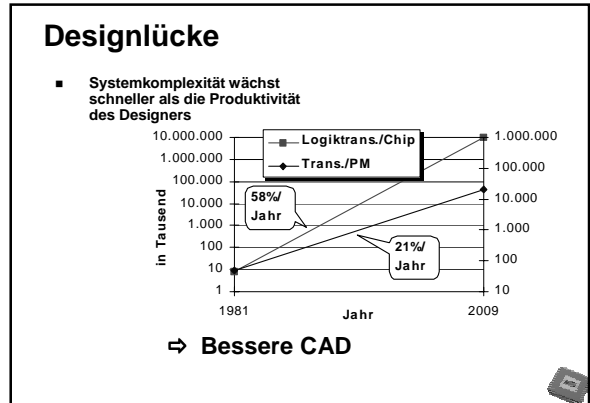
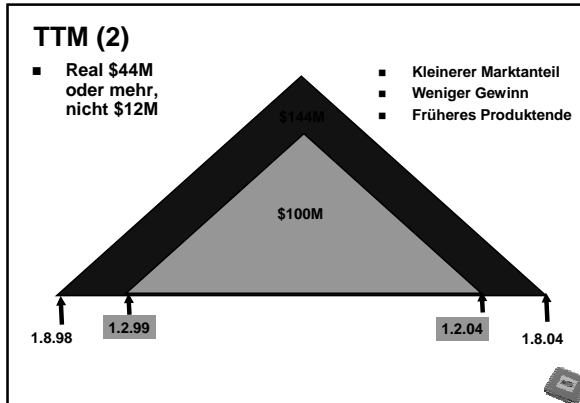
Entwurfskomplexität



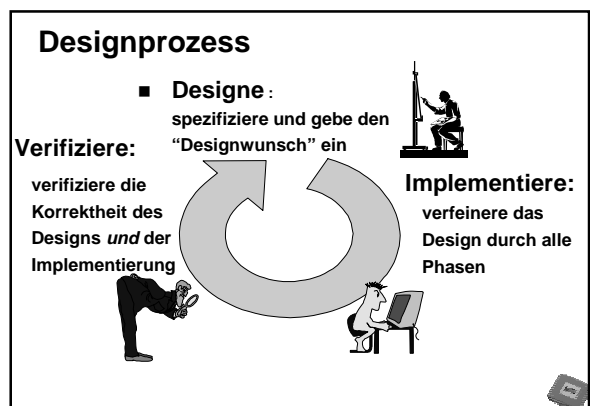
Entwicklungszeit = time to market

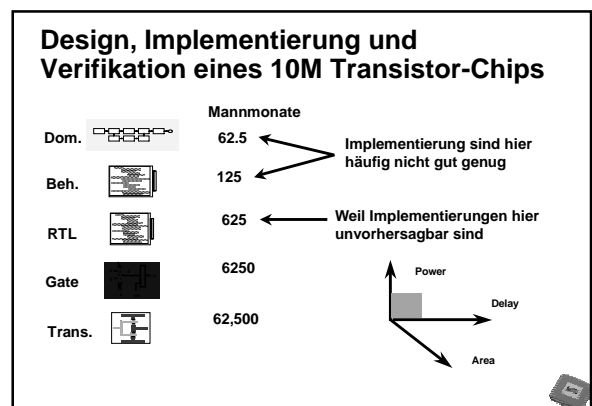
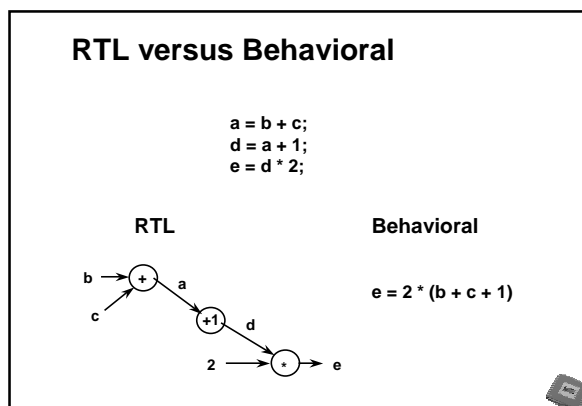
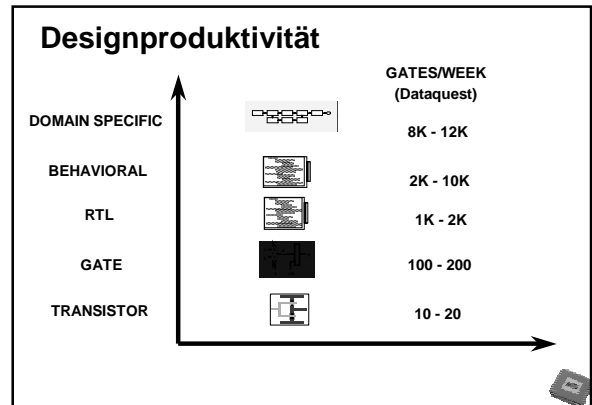
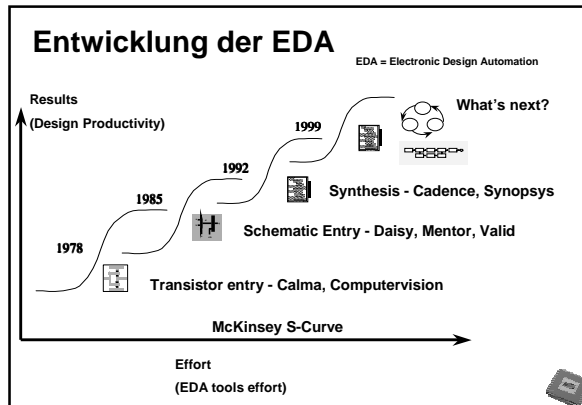
■ Einfluss einer 6 monatigen Verzögerung auf einen 6 jährigen Produktzyklus

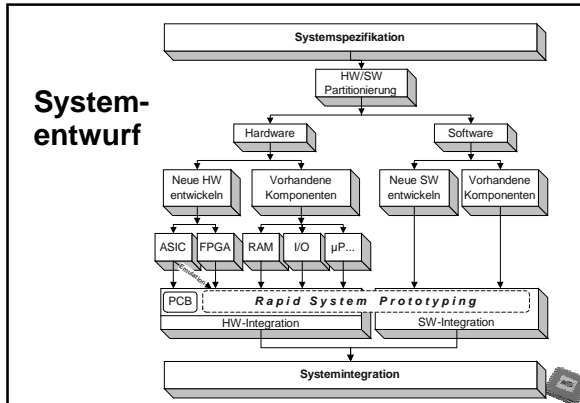




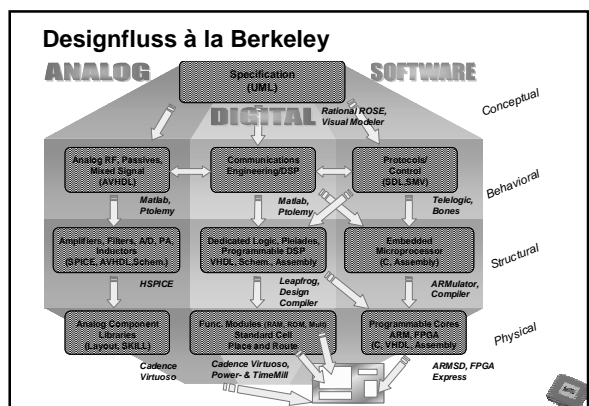
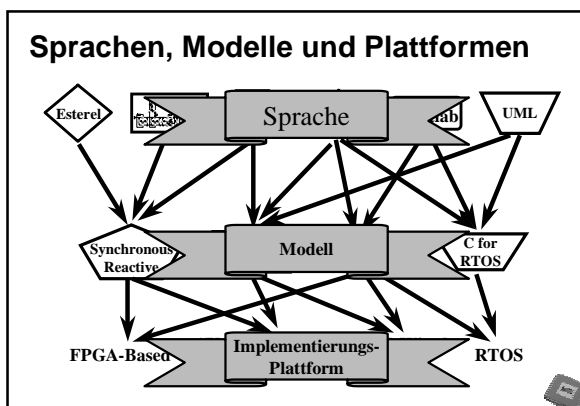
- ### Agenda
- Anforderungen
 - Entwurf digitaler VLSI Systeme
 - Verifikationsmöglichkeiten



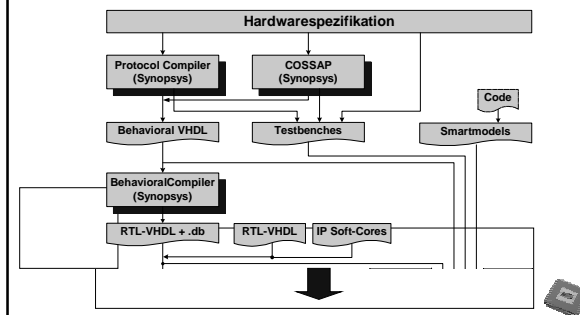




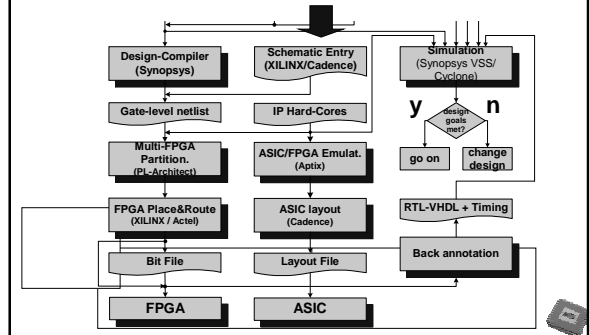
- ### Drei denkbare Szenarien
- **System Synthese**
 - Ausgehend von bereichsspezifischer Systembeschreibung
 - **IP Zusammensetzung**
 - Schnelle Montage vorgefertigter IP Blöcke
 - **Voll programmierbare/rekonfigurierbare Systems**
 - Anpassung eher generischer Standardplattformen für anwendungsspezifische Ansätze mit Programmierung



Hardwareentwurf (I)



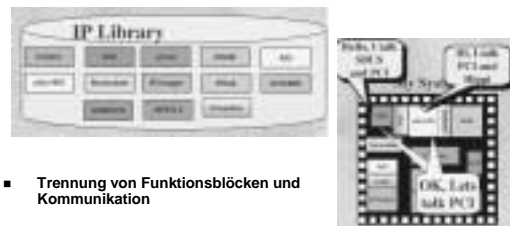
Hardwareentwurf (II)



Drei denkbare Szenarien

- **System Synthese**
 - Ausgehend von bereichsspezifischer Systembeschreibung
- **IP Zusammensetzung**
 - Schnelle Montage vorgefertigter IP Blöcke
- **Voll programmierbare/rekonfigurierbare Systems**
 - Anpassung eher generischer Standardplattformen für anwendungsspezifische Ansätze mit Programmierung

Bibliotheken für IP



- Trennung von Funktionsblöcken und Kommunikation

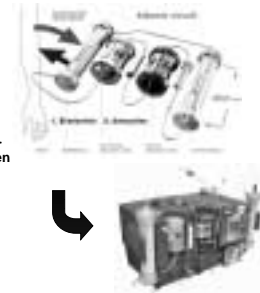
IP*-Cores

- „Systems on Chip“ durch Wiederverwendung existierender und geprüfter Komponenten (Cores) wirtschaftlich möglich
- **Hard Core:** Fertiges Layout für bestimmte Technologie (funktionssicher, unflexibel)
- **Soft Core:** Synthesefähiges Modell in Hardwarebeschreibungssprache (flexibel, Funktion etwas kritisch)
- **Standardisierte Schnittstellen erforderlich**
- **Beispiele:** RUN4, DES, RSA, CORDIC, Scheduling-Coprocessor, Java Prozessor

* IP - Intellectual Property

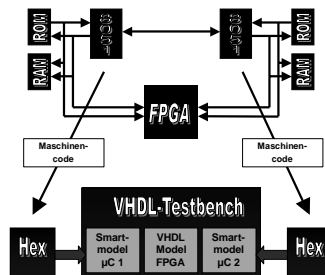
MARS

- Das Molekulare Adsorbentien Rezirkulierende System MARS - eine neue Methode für die selektive Isolierung von Substanzen aus komplexen Lösungen
- Die erste Anwendung in einer extrakorporalen Behandlung zur Blutreinigung von Leberpatienten in der klinischen Medizin
- Fa. Teraklin, Warnemünde, Gewinner StartUp Wettbewerb 1998
- System-Chip der 1. u. 2. Generation im Institut MD entwickelt



Hardware/Software Codesign

- System-konzept (Prinzip)
- **Komplette System-simulation von HW und SW**



Agenda

- Anforderungen
- Entwurf digitaler VLSI Systeme
- Verifikationsmöglichkeiten

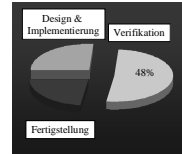
Ansätze zur Designverifikation

- **Formale Verifikation**
 - Model checking - beweise Eigenschaften bezüglich eines Modells
 - Theorem proving - beweise Eigenschaften einer Schaltung
- **Simulation**
 - Aufbringen von Simulations-Stimuli auf Modell der Schaltung
- **Emulation**
 - Implementiere eine Version der Schaltung auf Emulator
- **Rapid prototyping**
 - Generiere einen Prototyp in "echter" Hardware



Verifikation

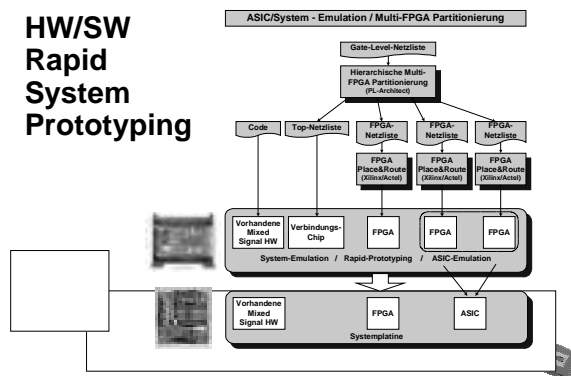
- Immer komplexere Simulationen lassen Verifikationszeit überproportional ansteigen



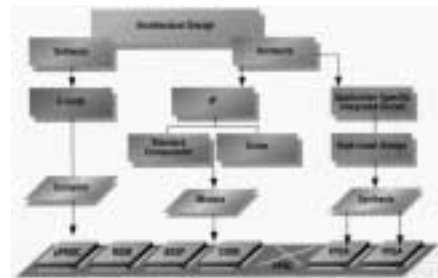
- **Beispiel:**
 - Echtzeit sei 50 MHz, 1 Befehl / Taktzyklus
 - Simulationszeit von Maschinenbefehlen eines μP in RTL-VHDL auf üblicher Workstation:
ca. 50 Befehle / s = 50 Hz Simulationstakt
 - 1 Minute Echtzeit = 1,9 Jahre Simulationszeit
- **Ansatz: Verifikation durch rekonfigurierbare Hardware, ca. 10 MHz Sim.takt = nur noch 5 Min. Sim.zeit**



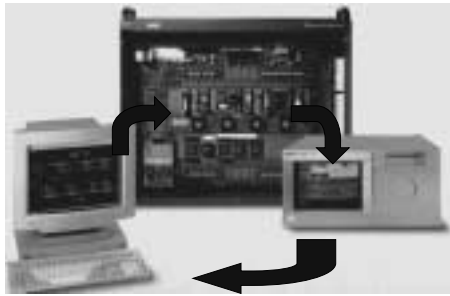
HW/SW Rapid System Prototyping



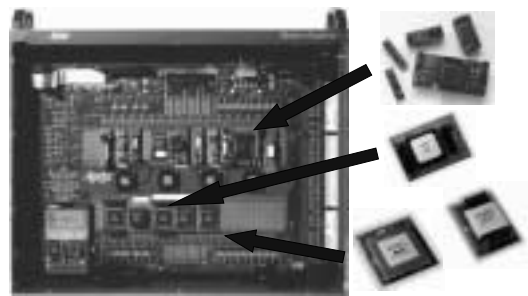
HW/SW - Rapid Prototyping



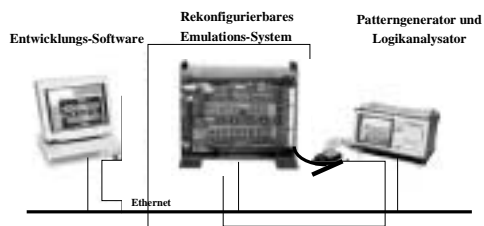
Rekonfigurierbares System



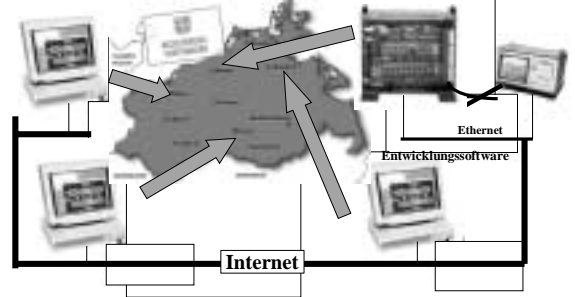
Prototyping, 4 Mio. Gatter, 30 MHz



Derzeitige System- und Chipentwicklung



Virtuelle System- und Chipentwicklung

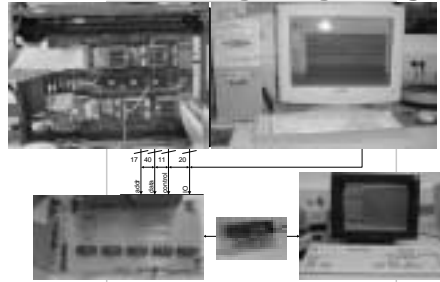


Java VM für Eingebettete Systeme

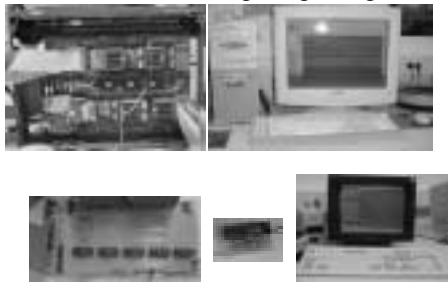
- **Merkmal: Minimale Ressourcen**
- **Ansatz: Reduzierung des Sprachumfangs und der VM**
- **Eigene Software-VMs**
- **1. PC-basiertes System miniJava**
 - 80386 und höher
 - Basis: JVM Kaffe von Transvirtual
- **2. Mikrocontroller (8051)-basierend**
 - Testplattform für Smartcard und Prozessor ⇒ JavaCard-Umgebung
 - zu Testzwecken compilierbar mit jedem ANSI-C-Compiler



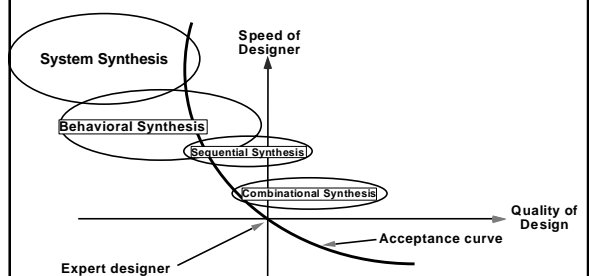
Entwicklungsumgebung



Entwicklungsumgebung



Güte und Akzeptanz von Designtechniken



Source: A. DeGeus



Auf Wiedersehen in Warnemünde !



Lage des Instituts

