



Verlustleistungsreduzierung bei dynamischen TSPC-Schaltungstechniken

F. Grassert, F. Sill, C. Cornelius, D. Timmermann
Universität Rostock, Deutschland

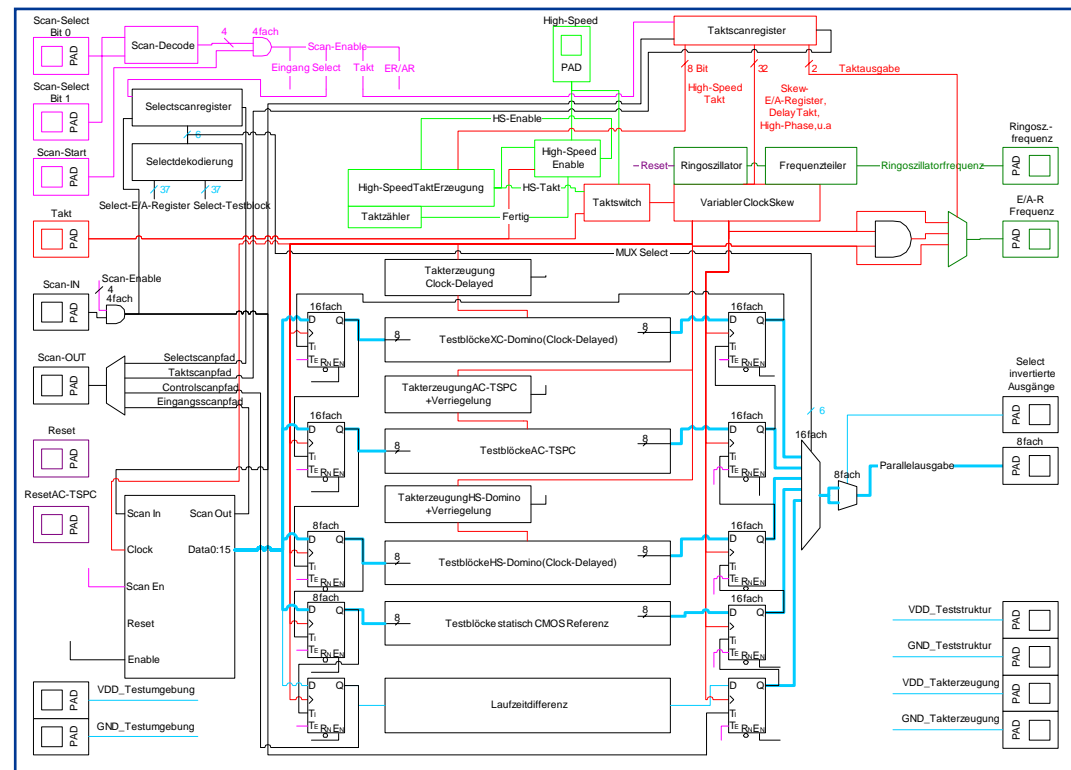
Informatik 2005, 35. Jahrestagung der Gesellschaft für Informatik
Bonn, September 2005

- Ergebnisse seit dem letzten Kolloquium
 - Vergleich dynamischer Schaltungstechniken
 - Modellierung von Parametervariabilität
- Zusammenfassung erreichter Ziele
 - Untersuchung dynamischer Schaltungstechniken
 - Reduzierung der Leckströme
 - Entwicklung/Optimierung des Design-Flows
- Auswertung

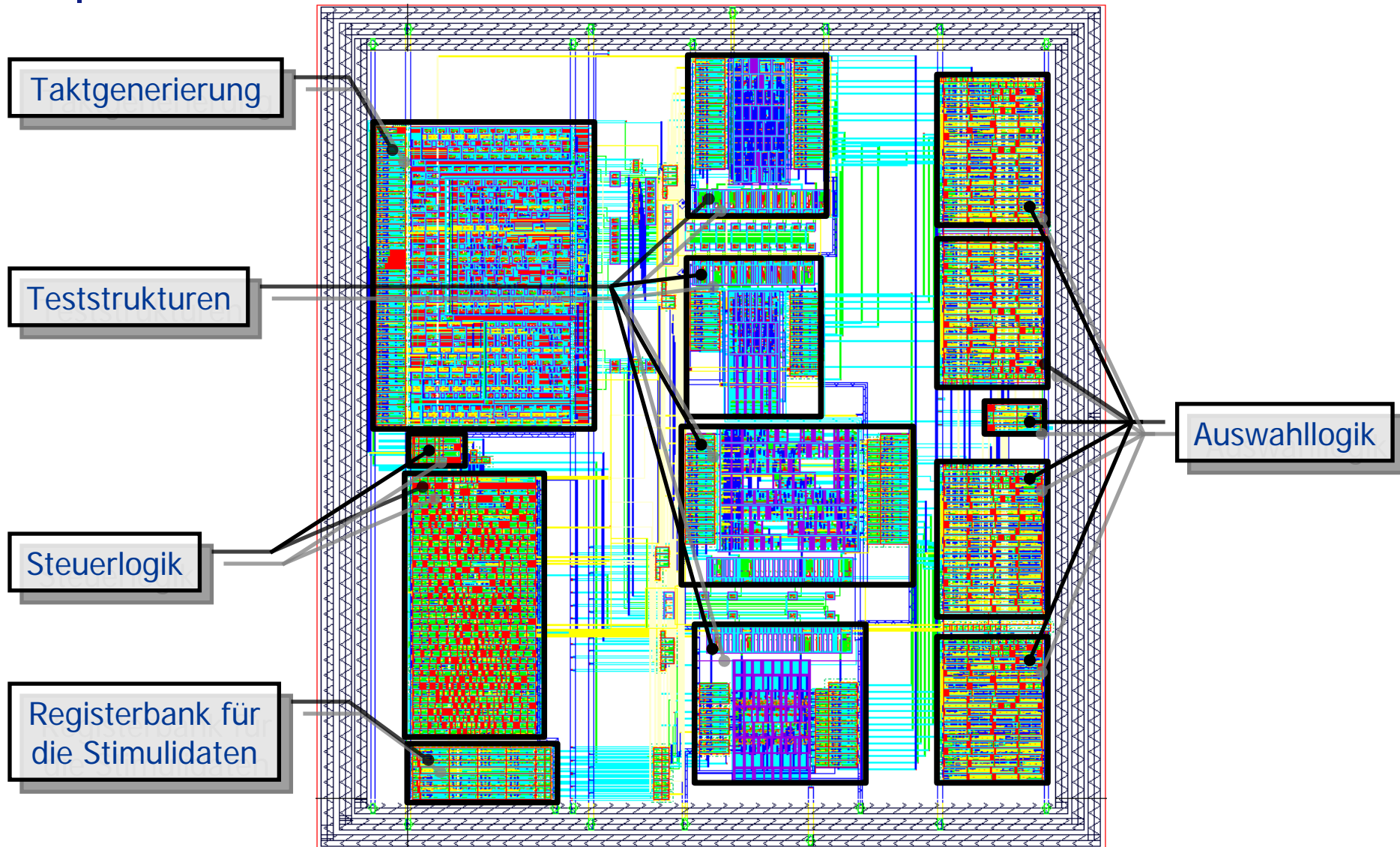
Vergleich dynamischer Schaltungstechniken

Zu klärende Fragen aus der Industrie-Kooperation

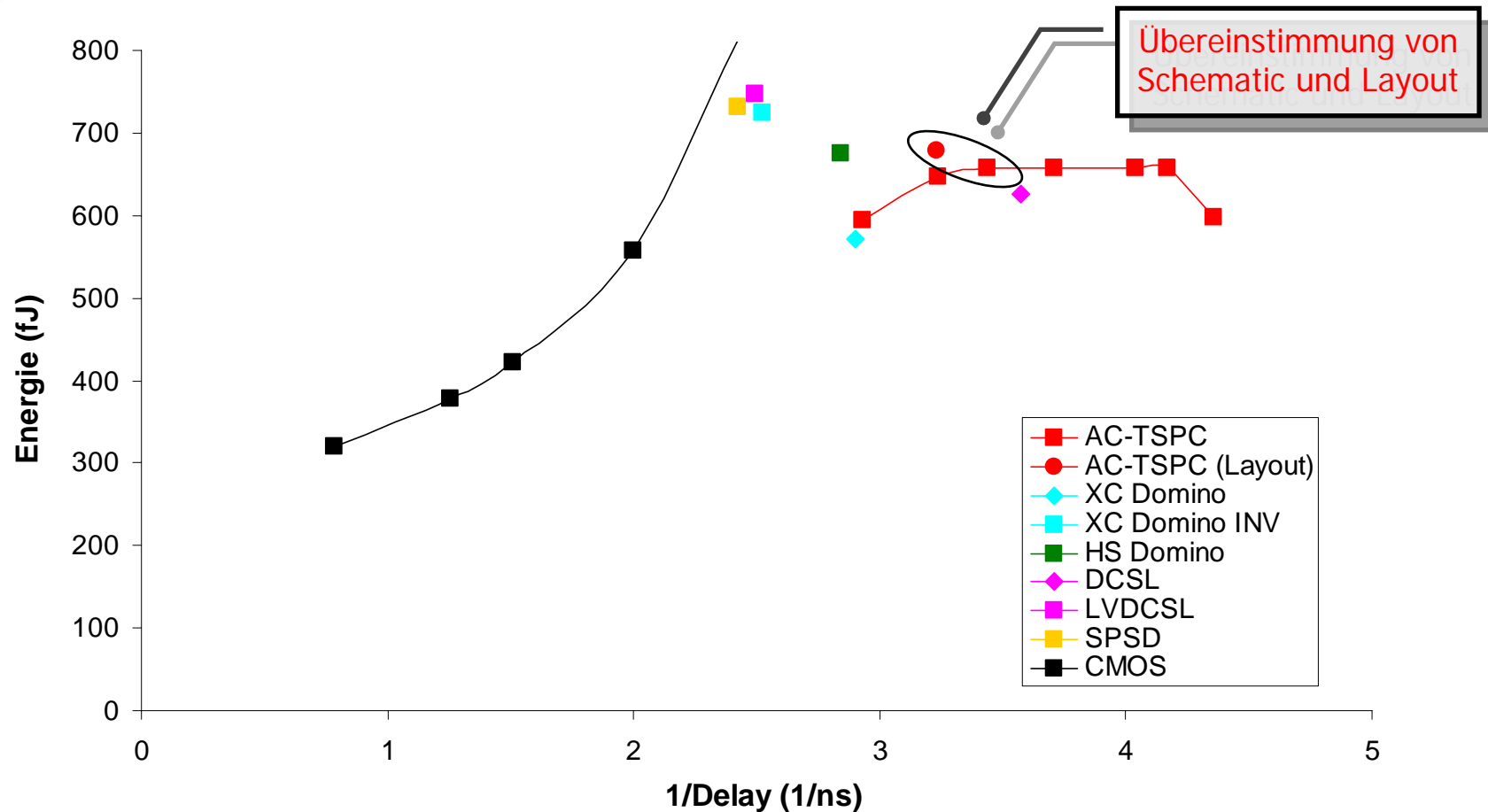
- Realistische Bedingungen für einen Vergleich
 - Transistorgrößen, Leitungslasten, Fan-Out ...
- Einfluss des Gatteraufbaus im Layout
 - Fläche, kapazitive Last, Verdrahtungsaufwand ...
- Bewertung möglicher Störungen
 - Kapazitive Kopplung, Leakage, Signal Feedthrough ...
- Einfluss von Betriebs- und Prozessschwankungen
 - Temperatur, Betriebsspannung, Dotierung, Kanallänge ...



Vergleich dynamischer Schaltungstechniken



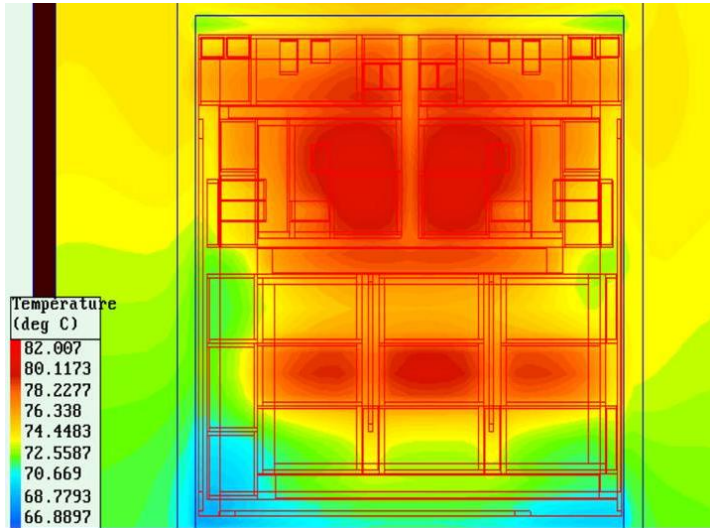
Vergleich dynamischer Schaltungstechniken



- NAND4-NOR4-Kette:
 - 90 nm Technologie
 - 5-stufige Pipeline-Struktur
 - Max. Leitungslast und max. Fan-Out
 - Energie inkl. Logik, Taktbaum und Register

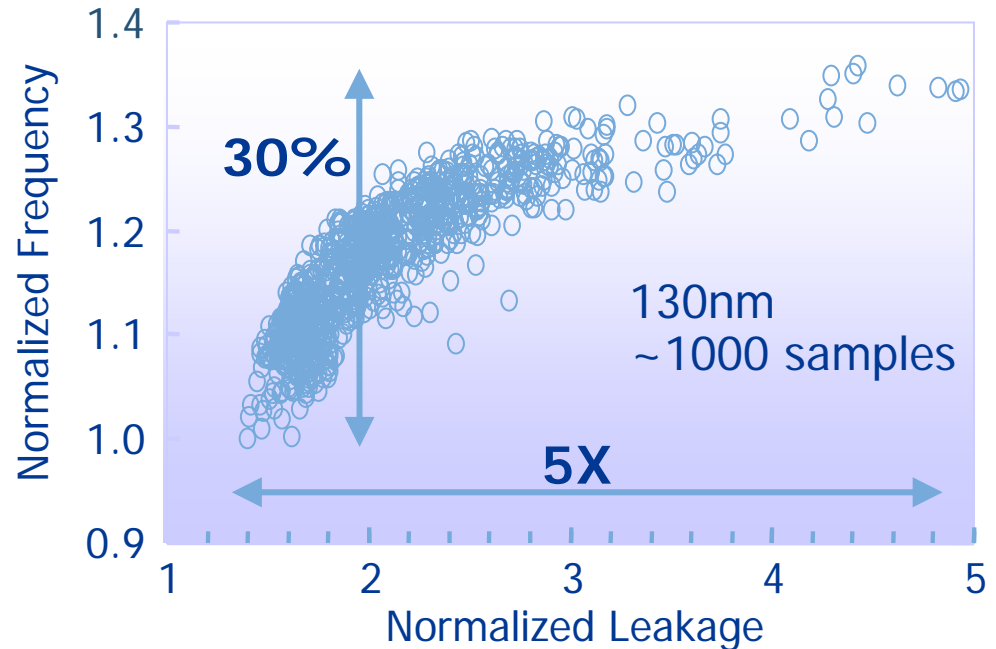
Modellierung von Parametervariabilität

Motivation



Power4 Server Chip

Quelle: Devgan, ICCAD'03



Quelle: Borkar, VLSI'05

L (nm)	250	180	130	90	65	45
Vt (mV)	450	400	330	300	280	200
σ -Vt (mV)	21	23	27	28	30	32
σ -Vt/Vt	4.7%	5.8%	8.2%	9.3%	10.7%	16%

Quelle: ITRS'03



Parametervariabilität nimmt dramatisch zu

Modellierung von Parametervariabilität

Problembeschreibung

■ Vielzahl variabler Parameter:

- Betriebsbedingt: Temperatur, V_{dd} , V_t
- Prozessbedingt: t_{ox} , L_{eff} , W_{eff} , Dotierung, V_t

■ Herangehensweise:

- Systematische Fehler
- Zufällige Fehler

➔ Berechenbar

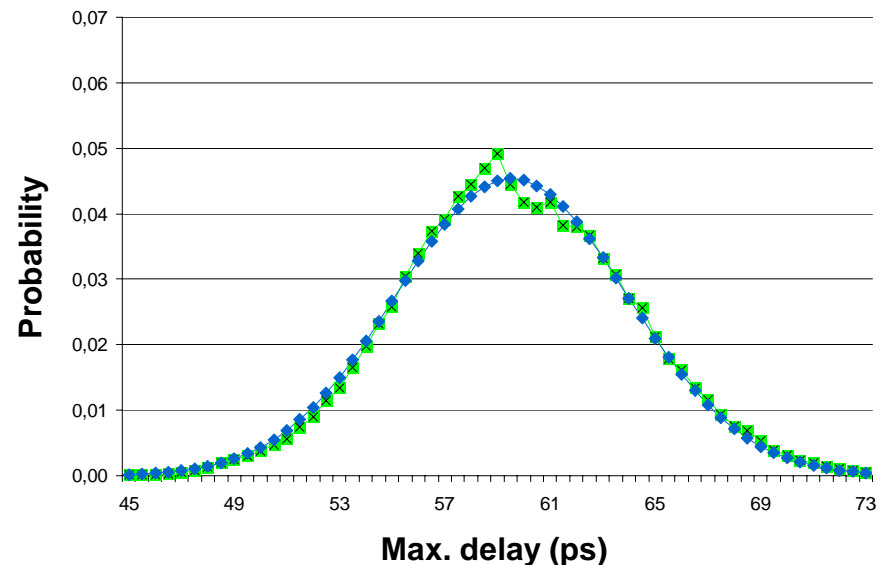
➔ Monte-Carlo-Simulation

■ Beispiel: NAND2-Gatter

- Maschine: 1 GHz
- Rechenzeit: ca. 1 Stunde

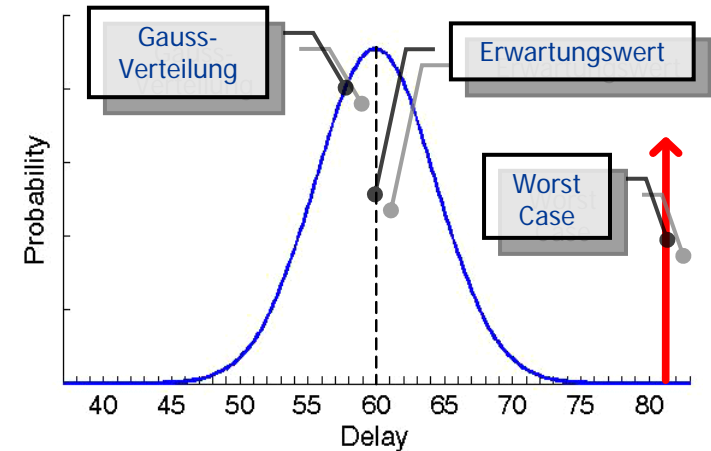
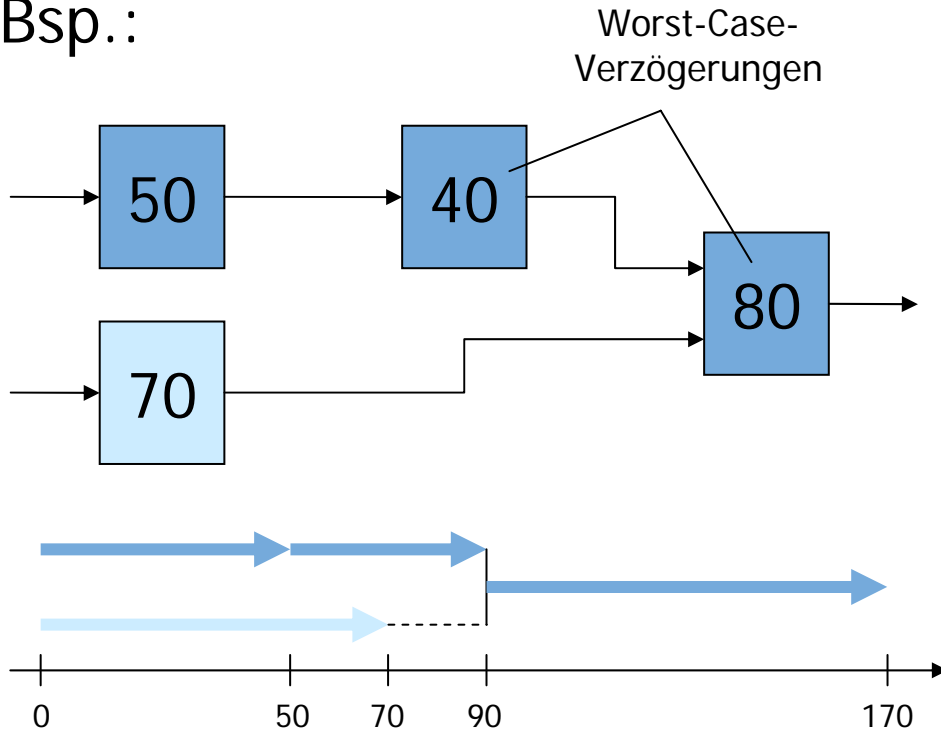


Inakzeptabel



Modellierung von Parametervariabilität

Bsp.:



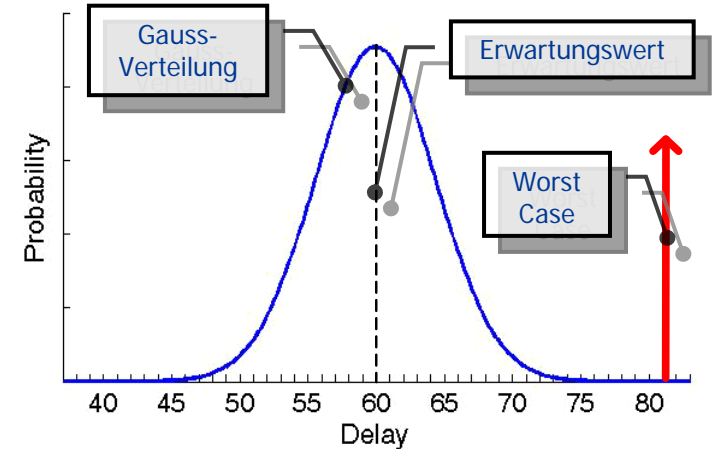
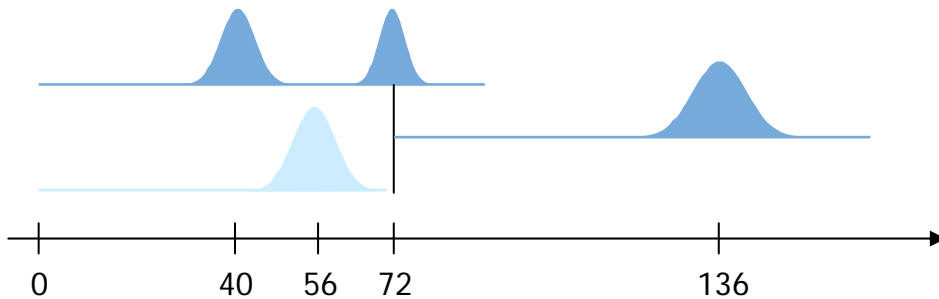
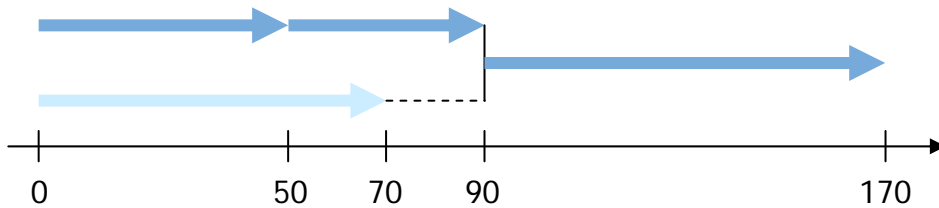
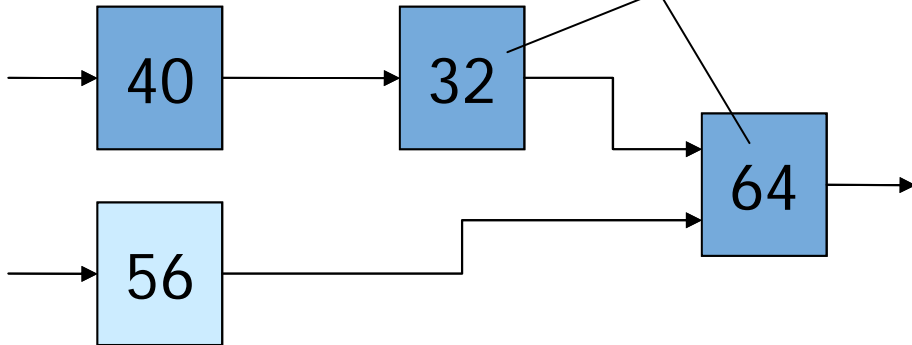
STA (Static Timing Analysis)

- Deterministisch
- Addition der Worst-Case-Verzögerungen

Modellierung von Parametervariabilität

Bsp.:

Erwartete
Verzögerungen



STA (Static Timing Analysis)

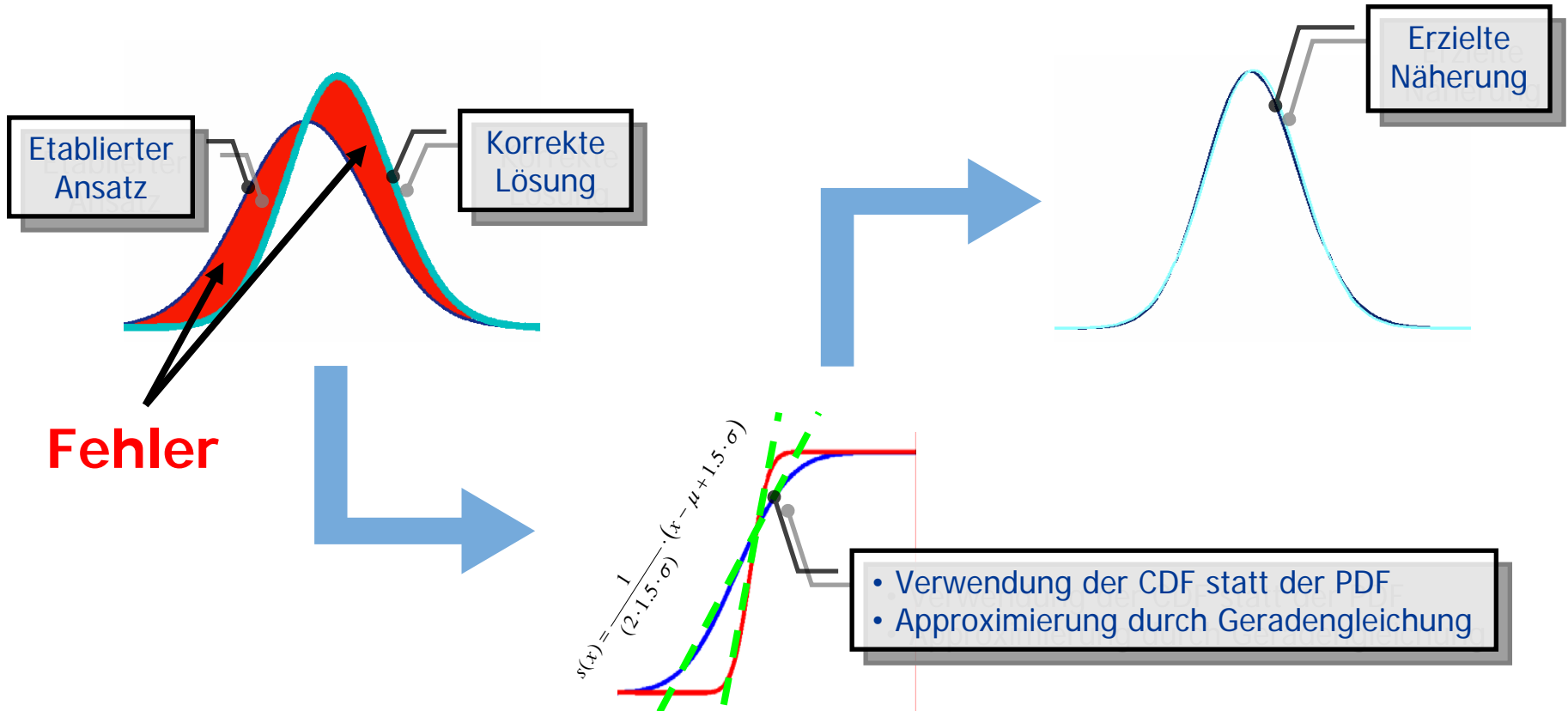
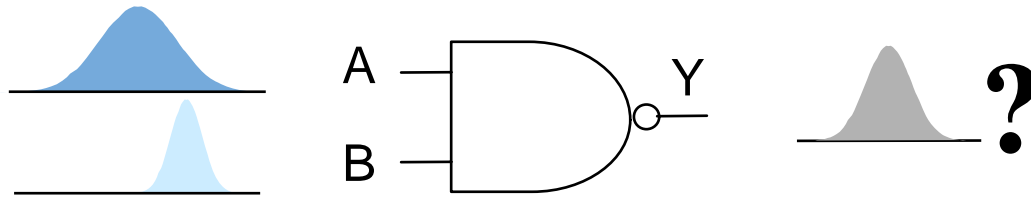
- Deterministisch
- Addition der Worst-Case-Verzögerungen

Statistical STA

- Addition und Multiplikation der Wahrscheinlichkeitsverteilungen

Modellierung von Parametervariabilität

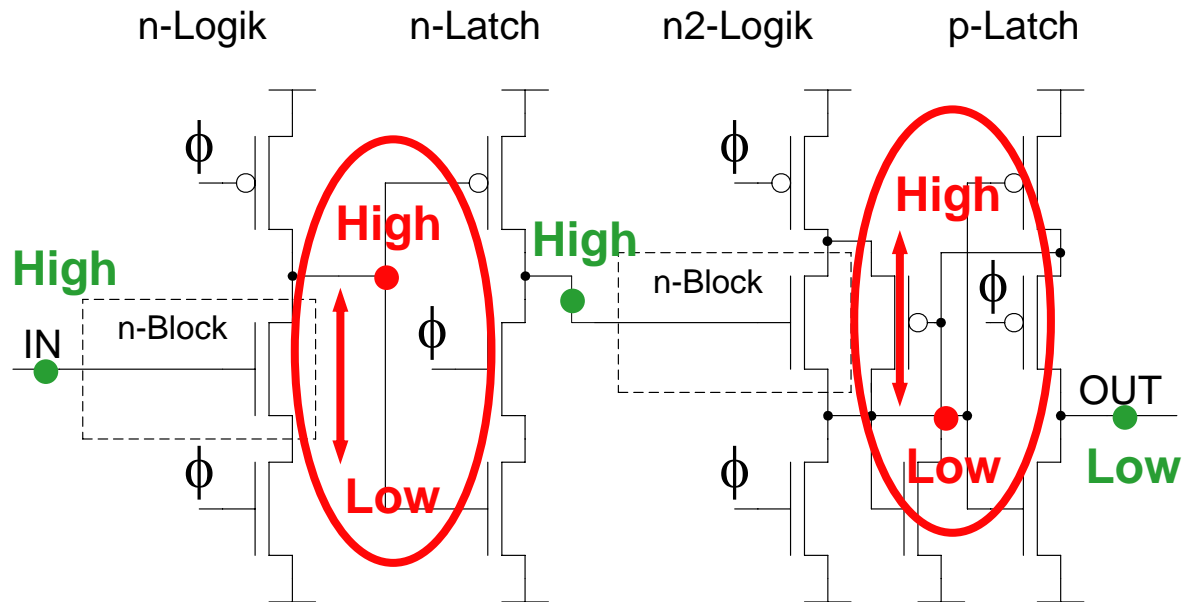
Beispiel eines Multi-Input-Gatters:



Zusammenfassung erreichter Ziele

Untersuchung dynamischer Schaltungstechniken I

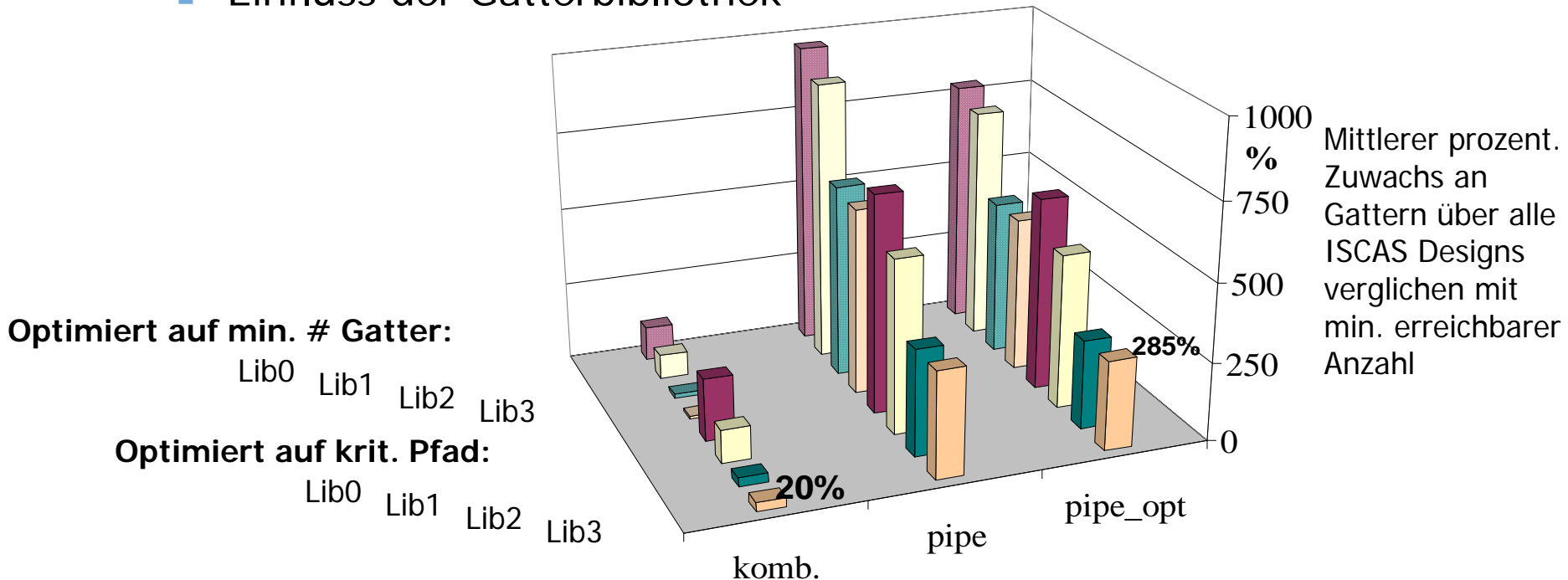
- TSPC
 - Logik-Optimierung auf dem RT-Level
 - Reduzierung der Verlustleistung um $\approx 40\%$
 - Reduzierung/Optimierung der Register
 - Reduzierung der Verlustleistung um $\approx 15\%$



Zusammenfassung erreichter Ziele

Untersuchung dynamischer Schaltungstechniken I

- TSPC
 - Logik-Optimierung auf dem RT-Level
 - ➔ Reduzierung der Verlustleistung um \emptyset 40%
 - Reduzierung/Optimierung der Register
 - ➔ Reduzierung der Verlustleistung um \emptyset 15%
 - Einfluss der Gatterbibliothek



Zusammenfassung erreichter Ziele

Untersuchung dynamischer Schaltungstechniken II

- AC-TSPC
 - Verringerung der Taktbelastung
 - Verbesserung des Power-Delay-Produkts durch Latch-freie Struktur
 - Gleichmäßige Power-Verteilung
 - Formale Überprüfung des Zeitverhaltens

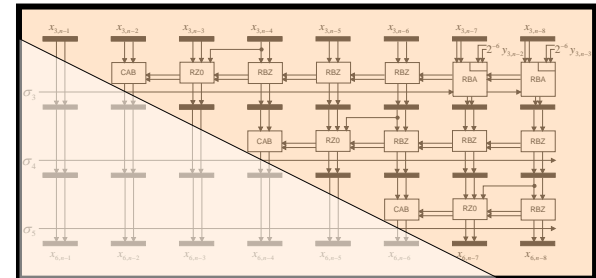
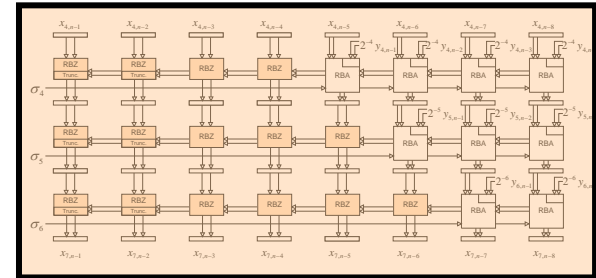
	Stat. CMOS	Domino	AC-TSPC
Delay (D)	1	0,6	0,3 *
Area	1	1,6	n.a. *
Power (P)	1	2,6	1,5 *
P*D	1	1,6	0,5 *
Energie*D	1	1	0,2 *

* Design mit Registern

Zusammenfassung erreichter Ziele

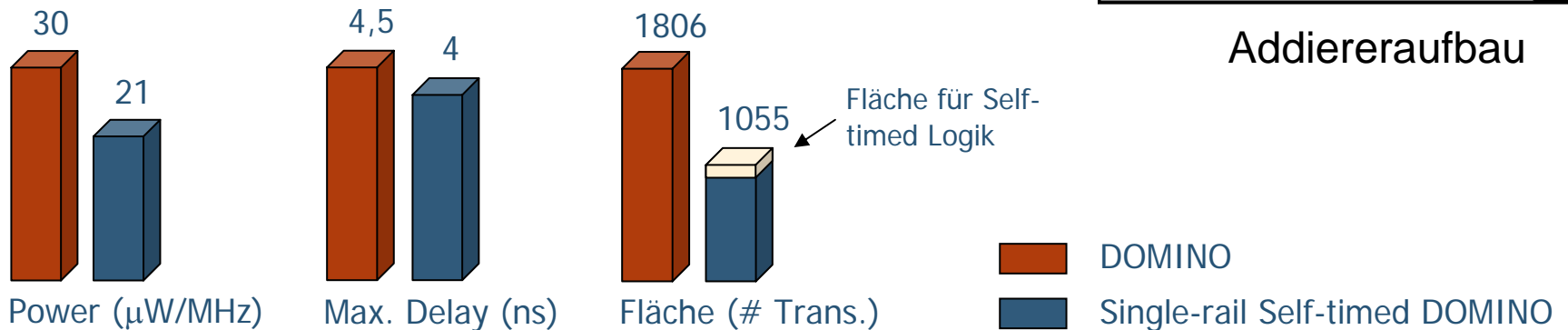
Untersuchung dynamischer Schaltungstechniken III

- Einsatz redundanter Zahlensysteme
 - Add&Shift-Algorithmus
 - ➔ Zellenreduktion um bis zu 50%
 - Single-Rail-AC-TSPC
 - ➔ Energiereduktion um bis zu 30%



Addiereraufbau

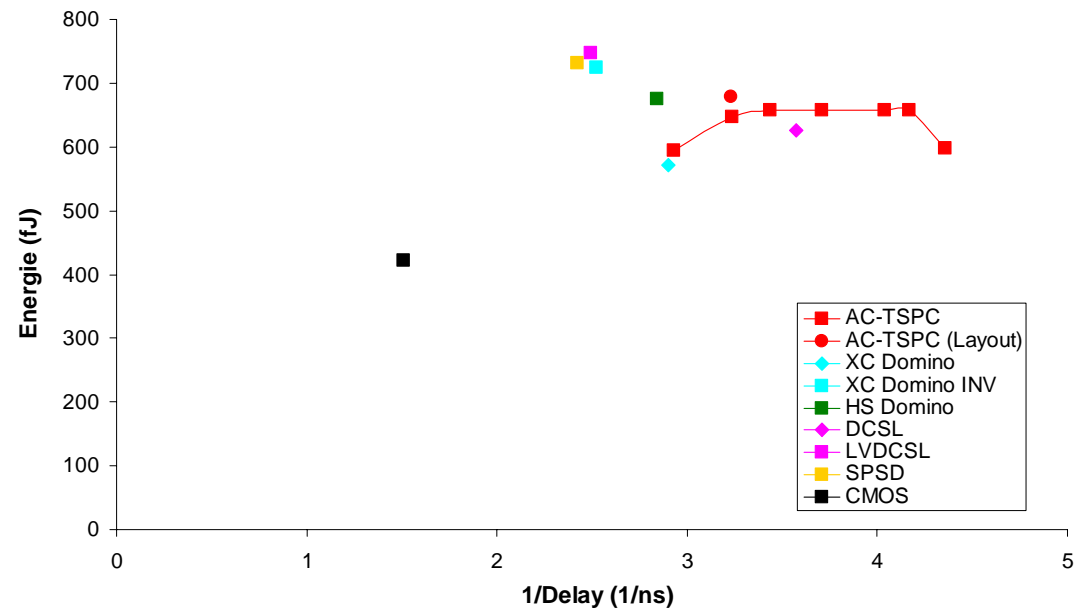
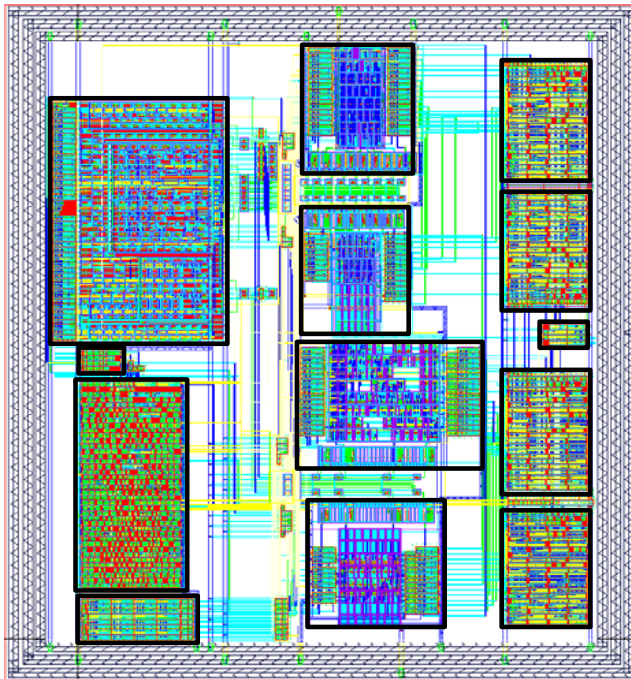
Ergebnisse mit 4-bit red. Addierer in 0,6mm AMS bei 3,3V:



Zusammenfassung erreichter Ziele

Untersuchung dynamischer Schaltungstechniken IV

- Verifikation durch Post-Layout-Simulationen
- Einordnung der Ergebnisse dynamischer Schaltungstechniken

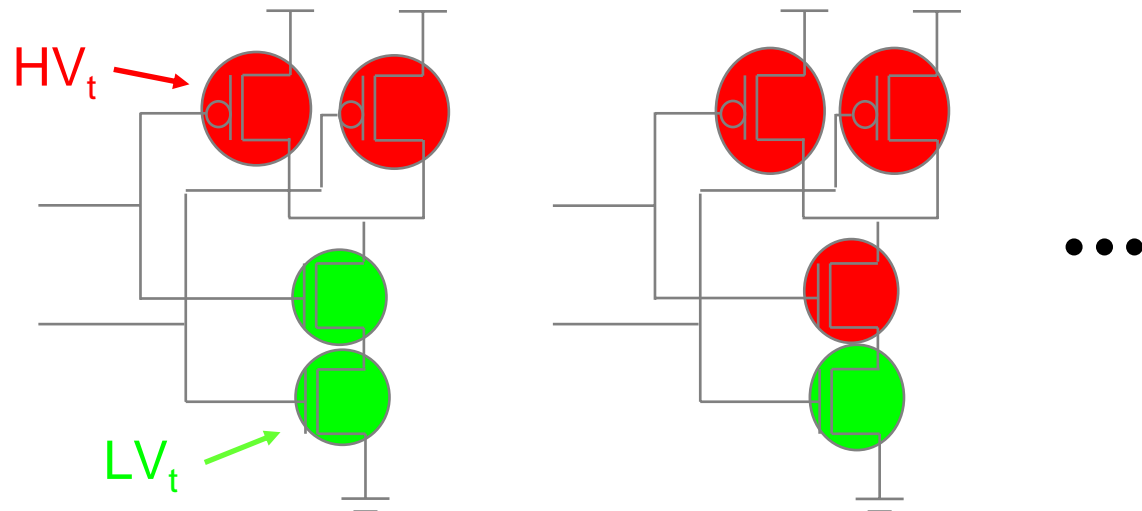


Zusammenfassung erreichter Ziele

Reduzierung der Leckströme

- Entwicklung von MVT-MOS
 - Verwendung mehrerer Schwellspannungen innerhalb eines Gatters
 - Optimierung auf Gatter-, nicht auf Transistorebene
 - Anwendbar auf CMOS und dynamische Schaltungstechniken

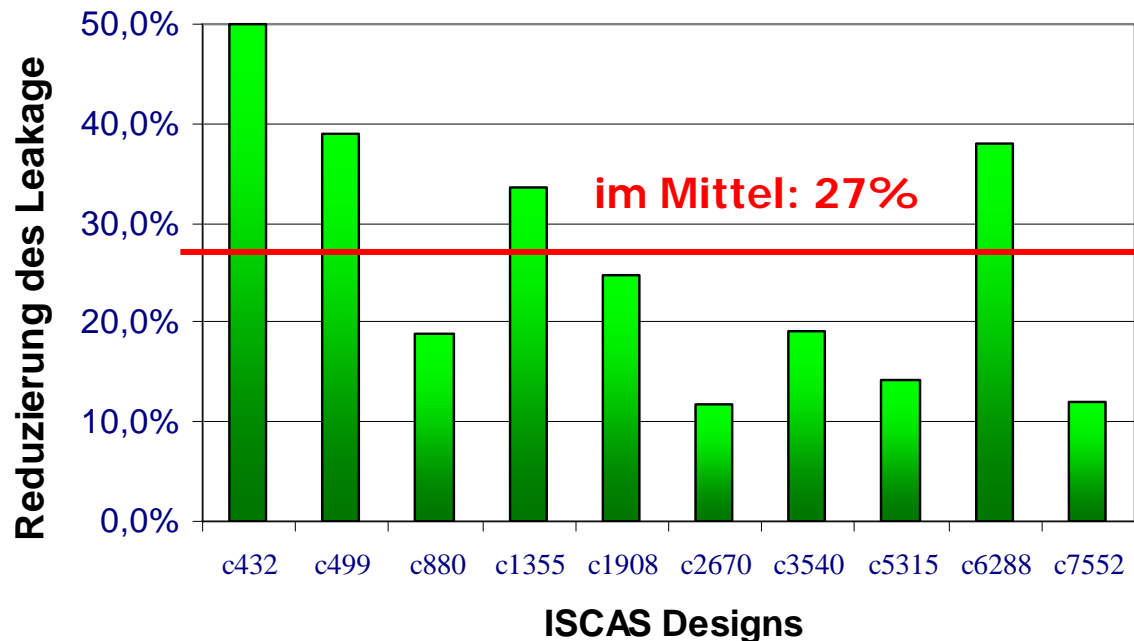
Bsp: NAND2



Zusammenfassung erreichter Ziele

Reduzierung der Leckströme

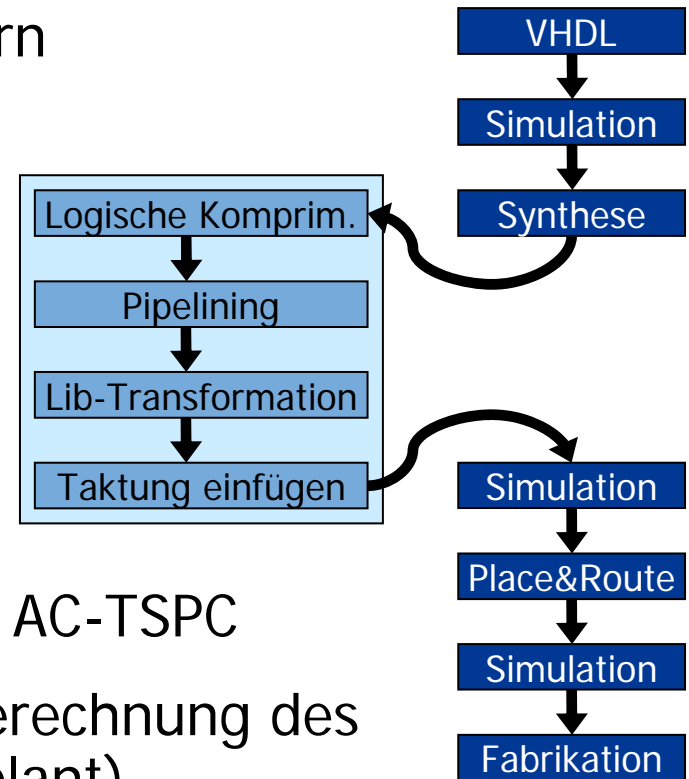
- Entwicklung von MVT-MOS
 - Verwendung mehrerer Schwellspannungen innerhalb eines Gatters
 - Optimierung auf Gatter-, nicht auf Transistorebene
 - Anwendbar auf CMOS und dynamische Schaltungstechniken



Zusammenfassung erreichter Ziele

Entwicklung/Optimierung des Design-Flows

- Automatisierter Design-Flow (abgeleitet von CMOS)
 - Logische Komprimierung für Zielbibliothek
 - Einfügen von Registern & Puffern
 - Reduzierung der Registeranzahl
- Software-Lösungen
 - DYNAMIC - Einsatz für TSPC
 - AC-DYNAMIC – Umsetzung von AC-TSPC
 - ➔ SSTA – schnellere, exaktere Berechnung des Zeitverhaltens (Integration geplant)



- Bearbeitung ebenenübergreifender Low-Power-Ansätze
 - ➔ Dokumentation der Erfolge bei der Verlustleistungsreduzierung durch stetige Veröffentlichungen
- Industriekooperationen aufgrund guter Forschungsergebnisse
- Arbeiten an aktuellen Prozessen belegen zukünftige Relevanz der Verlustleistungsreduzierung
 - Leakage und Parametervariabilität
 - ➔ Vorgestellte Ansätze: Mixed-VT und SSTA